

Conception conjointe matérielle/logicielle. Matériels libres pour l'embarqué

email : kadionik@enseirb-matmeca.fr
web : <http://kadionik.vvv.enseirb-matmeca.fr>

Patrice NOUEL, Patrice KADIONIK
ENSEIRB-MATMECA

ME357 : Conception conjointe matérielle/logicielle



Définition

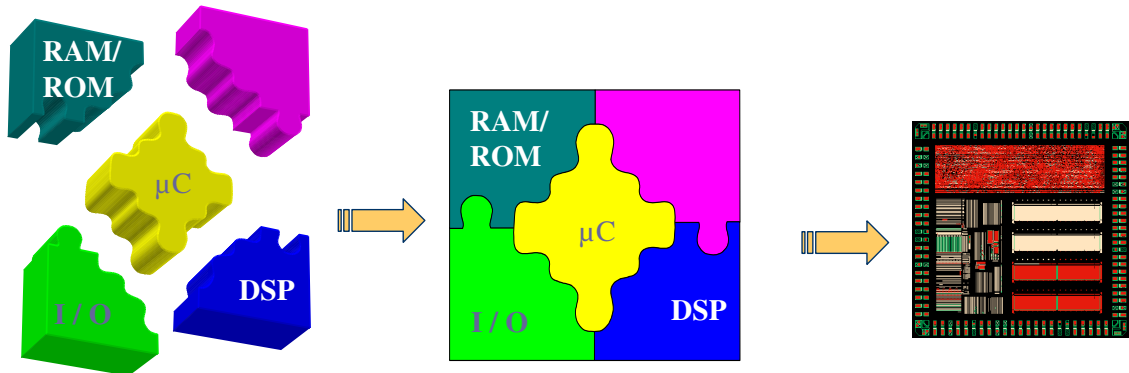
- La conception conjointe HW/SW ou *codesign* consiste à concevoir en même temps le matériel et le logiciel.
- On parlera :
 - De SoC (*System on Chip*) pour un ASIC.
 - De SoPC (*System on Programmable Chip*) pour un FPGA.
- Un projet SoC mêle trois aspects :
 - Architecture matérielle.
 - Technologie.
 - Logiciel.
- Partitionnement logiciel/matériel : définition de l'architecture « idéale » du système SoC.

ME357 : Conception conjointe matérielle/logicielle



System on Chip

- Un SoC comporte au moins un processeur pour l'exécution de la logique programmée.



ME357 : Conception conjointe matérielle/logicielle



IP : composants virtuels

- Pour être capable d'intégrer un système, il faut :
 - Réutiliser les blocs IP déjà conçus (*Design Reuse*).
 - Acheter ou trouver des blocs chez des fournisseurs extérieurs.
- Les blocs IP sont des blocs de propriété intellectuelle encore appelés :
 - IP, IP *block*.
 - *Core*.
 - *Virtual Component* (VC).

ME357 : Conception conjointe matérielle/logicielle



IP : classification

- **Soft** : le source VHDL (ou Verilog) doit être synthétisé et optimisé au niveau physique :
 - Avantage : indépendance vis à vis du choix technologique.
 - Inconvénient : travail d'optimisation peut être long.
- **Hard** : description ciblée technologiquement :
 - Avantage : performances escomptées.
 - Inconvénient : impossible de changer de cible.
- **Firm** : Niveau portes (*netlist*) :
 - Avantages : flexible et prédictible.

IP : fournisseurs

- Il existe de nombreux fournisseurs de blocs IP :
 - xilinx.com : Xilinx.
 - altera.com : Intel.
 - opencores.org : site de référence répertoriant du matériel libre.

IP : dominantes

- Traitement d'images
- Filtres numériques
- Circuits d'interface : USB, CAN...
- Chiffrement de données
- Processeurs et périphériques
- Communications sans fil
- DSP
- Mémoires

Processeurs : nombreux

- Ils sont très nombreux (plusieurs centaines) et sont inventoriés sur le site design-reuse.com.
- Le leader dans ce domaine est le processeur ARM. Plus de 50 sociétés possèdent 140 licences ARM (principalement des applications faible consommation).

ARM

Processeurs : critères de choix

- Le processeur :
 - RISC ou CISC
 - 8, 16, 32, 64 bits
 - IP *soft* ou *hard*
- Le type du bus processeur.
- Les périphériques existants.
- Les outils disponibles pour le *codesign*.
- Le support d'un système d'exploitation.

Pourquoi utiliser un processeur softcore ?

- Durée de vie du processeur.
- Indépendance de la technologie.
- Prototypage en vue de réaliser un ASIC.
- Propriété et maîtrise des sources.
- Souplesse d'évolution (VHDL).

Processeurs disponibles

- Processeurs *hardcore* (ARM, PowerPC...) : circuit FPGA (Virtex, Zynq de Xilinx).
- Processeurs *softcore* commerciaux à cible propriétaire :
 - NIOS II pour Altera/Intel.
 - Microblaze et Picoblaze pour Xilinx.
 - ...
- Processeurs *softcore opensource* :
 - Processeur Sparc Leon 3.
 - Processeur OpenRISC, LowRISC.
 - Processeur RISC-V.

Exemple : cœur P1684

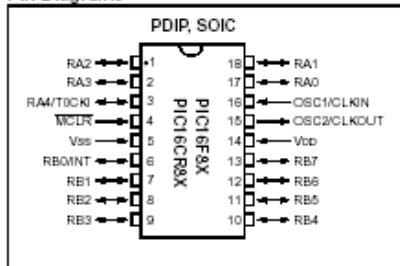
- Projet PPX16mcu (opencores.org) : clone d'un PIC 16F84.
- 10 fichiers VHDL en tout !

Exemple : cœur P1684

```

ENTITY P16F84 IS
    GENERIC (
        SyncReset : boolean := true);
    PORT (
        Clk : IN std_logic;
        Reset_n : IN std_logic;
        T0CKI : IN std_logic;
        INT : IN std_logic;
        Port_A : INOUT std_logic_vector(7 DOWNTO 0);
        Port_B : INOUT std_logic_vector(7 DOWNTO 0)
    );
END P16F84;
    
```

Pin Diagrams



Performances des processeurs software

MicroBlaze™

Device Family	Timing	D-MIPS	MUL.	RAM	Cache [kB]	
					i	d
Virtex II 1000 -4	100 MHz	62	HW	blockRAM	NA	NA
Virtex II 1000 -4	100 MHz	45	SW	blockRAM	NA	NA
Virtex II 1000 -4	50 MHz	4	HW	SDRAM	NA	NA
Virtex II 1000 -4	50 MHz	6	HW	SDRAM	2	2
Virtex II 1000 -4	50 MHz	13	HW	SDRAM	8	8

Nios™

Device Family	Timing	D-MIPS	RAM	Cache [kB]	
				i	d
Altera APEX20k200-2X	33 MHz	13	SRAM	0	0
Altera APEX20k1000E-2X	40 MHz	9	SDRAM	0	0
Altera Cyclone EP1C20	50 MHz	17	SRAM	4	4
Altera Cyclone EP1C20	50 MHz	15	SDRAM	4	4
Altera Stratix EP1S10	50 MHz	17	SRAM	4	4
Altera Stratix EP1S10	50 MHz	15	SDRAM	4	4

OpenRisc 1200 [Richard Herveille]

Device Family	Timing	D-MIPS	RAM
Virtex-E 1600	25 MHz	20	SRAM

DMIPS : Dhrystone MIPS

LeoSPARC™

Device Family	Timing	D-MIPS	RAM	Cache [kB]	
				i	d
Xilinx Virtex-E 1000E-6	25 MHz	21	SRAM	16	8
Altera APEX20k200-2X	26 MHz	21	SRAM	2	2
Altera APEX20k1000E-2X	20 MHz	4	SDRAM	8	8
Xilinx Virtex II 6000-5	40 MHz	27	SRAM	4	4
Altera Cyclone EP1C20	50 MHz	33	SRAM	4	4

Another common representation of the Dhrystone benchmark is the **DMIPS** obtained when the Dhrystone score is divided by 1757 (the number of Dhrystones per second obtained on the VAX 11/780, nominally a 1 MIPS machine). Another way to represent results is in DMIPS/MHz, where DMIPS result is further divided by CPU frequency, to allow for easier comparison of CPUs running at different clock rates. Source Wikipedia



Performances des processeurs softcore

FPGA	Configuration	Fréquence	Dhrystone 2.1	
Spartan-3 (3SD1800A-5)	pipeline à 5 niveaux	105 MHz	125 DMIPS	1.19 DMIPS/MHz
Spartan-3 (3SD1800A-5)	pipeline à 3 niveaux	115 MHz	110 DMIPS	0.95 DMIPS/MHz
Virtex-5 (5VLX50)	pipeline à 5 niveaux sans MMU	235 MHz	280 DMIPS	1.19 DMIPS/MHz

Performances processeur *softcore* MicroBlaze v7.10. Source Wikipedia