

Conception conjointe matérielle/logicielle. Matériels libres pour l'embarqué

email : kadionik@enseirb-matmeca.fr
web : <http://kadionik.vvv.enseirb-matmeca.fr>

Patrice NOUEL, Patrice KADIONIK
ENSEIRB-MATMECA

ME357 : Conception conjointe matérielle/logicielle



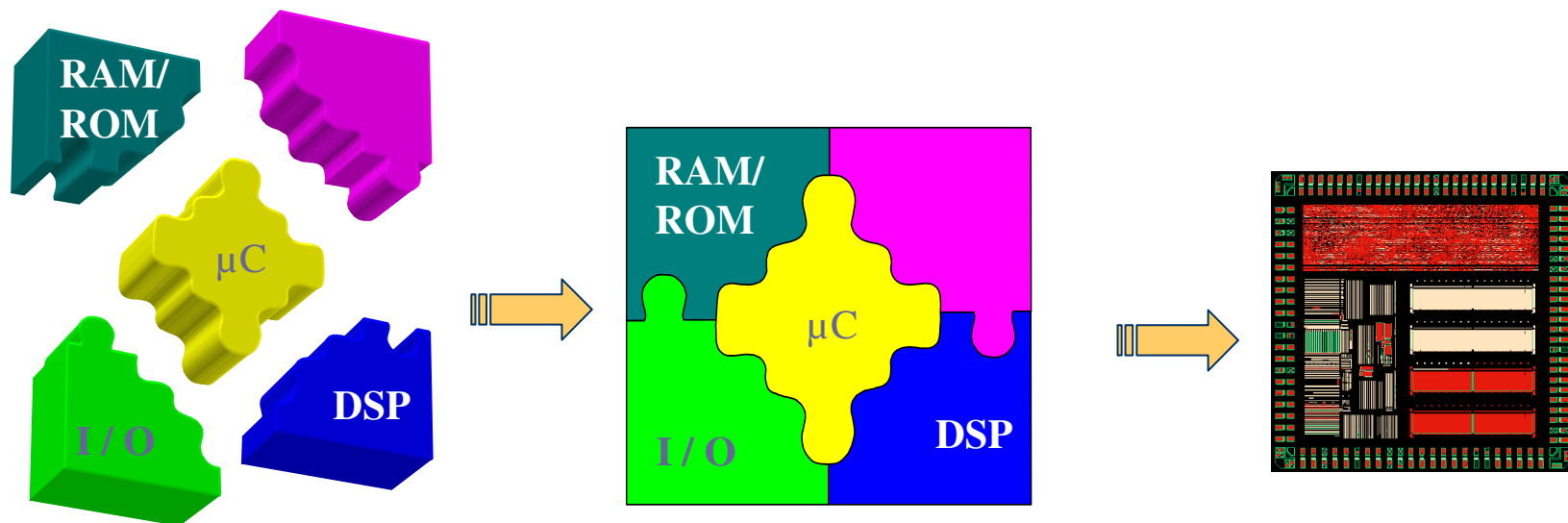
Définition

- La conception conjointe HW/SW ou *codesign* consiste à concevoir en même temps le matériel et le logiciel.
- On parlera :
 - De SoC (*System on Chip*) pour un ASIC.
 - De SoPC (*System on Programmable Chip*) pour un FPGA.
- Un projet SoC mêle trois aspects :
 - Architecture matérielle.
 - Cible technologique (FPGA).
 - Architecture logicielle.
- Partitionnement logiciel/matériel : définition de l'architecture « idéale » du système SoC.

FPGA=*Field Programmable Gate Array*

System on Chip

- Un SoC comporte au moins un processeur pour l'exécution de la logique programmée en plus de la logique câblée.



IP : des composants virtuels

- Pour être capable d'intégrer un système, il faut :
 - Réutiliser les blocs IP déjà conçus (*Design Reuse*).
 - Acheter ou trouver des blocs IP chez des fournisseurs extérieurs.
- Les blocs IP sont des blocs de Propriété Intellectuelle encore appelés :
 - IP, IP *block*.
 - *Core*.
 - *Virtual Component (VC)*.
- Les blocs IP peuvent être propriétaires ou bien libres (matériels libres).

IP=*Intellectual Property*

ME357 : Conception conjointe matérielle/logicielle



IP : classification

- **Soft** : le source VHDL (ou Verilog) doit être synthétisé et optimisé au niveau physique :
 - Avantage : indépendance vis à vis du choix technologique.
 - Inconvénient : travail d'optimisation peut être long.
- **Hard** : description ciblée technologiquement :
 - Avantage : performances escomptées.
 - Inconvénient : impossible de changer de cible.
- **Firm** : au niveau portes via une *netlist* :
 - Avantages : prédictible.

IP : fournisseurs

- Il existe de nombreux fournisseurs de blocs IP.
- Blocs IP propriétaires :
 - xilinx.com : Xilinx.
 - altera.com : Intel.
- Blocs IP libres :
 - opencores.org : site de référence répertoriant du matériel libre.

IP : dominantes d'usage

- Traitement d'images.
- Filtres numériques.
- Circuits d'interface : USB, CAN...
- Chiffrement de données.
- Processeurs et périphériques.
- Communications sans fil.
- Mémoires.

Processeurs : nombreux

- Ils sont très nombreux (plusieurs centaines) et sont inventoriés sur le site design-reuse.com.
- Le leader dans ce domaine est le processeur ARM. Plus de 50 sociétés possèdent 140 licences ARM (principalement des applications faible consommation).

ARM

Processeurs : critères de choix

- Le processeur suivant son architecture :
 - RISC ou CISC.
 - 8, 16, 32, 64 bits.
 - IP *soft* ou *hard*.
- Le type du bus processeur.
- Les périphériques existants.
- Les outils disponibles pour le *codesign*.
- Le support d'un système d'exploitation.

RISC CISC=*Reduced (Complex) Instruction Set Computer*

ME357 : Conception conjointe matérielle/logicielle



Pourquoi utiliser un processeur softcore ?

- Durée de vie du processeur.
- Indépendance de la technologie.
- Prototypage en vue de réaliser un ASIC.
- Propriété et maîtrise des sources.
- Souplesse d'évolution (langage HDL).

Processeurs disponibles

- Processeurs *hardcore* (ARM, PowerPC...) :
 - Circuit FPGA (Virtex, Zynq de Xilinx).
- Processeurs *softcore* commerciaux :
 - NIOS II pour Altera/Intel.
 - Microblaze et Picoblaze pour Xilinx.
 - ...
- Processeurs *softcore* *opensource* :
 - Processeur Sparc Leon 3.
 - Processeur RISC-V : OpenRISC, LowRISC.
 - ...

Exemple : cœur PIC 1684

- Projet PPX16mcu sur opencores.org : c'est un matériel libre et clone d'un PIC 16F84.
- 10 fichiers VHDL en tout !

Exemple : cœur P1684

```
ENTITY P16F84 IS
```

```
  GENERIC (
```

```
    SyncReset : boolean := true);
```

```
  PORT (
```

```
    Clk : IN std_logic;
```

```
    Reset_n : IN std_logic;
```

```
    T0CKI : IN std_logic;
```

```
    INT : IN std_logic;
```

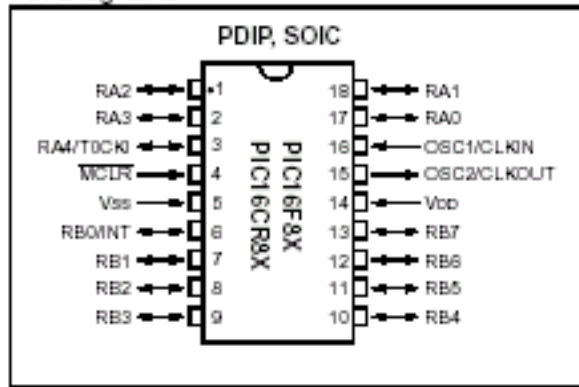
```
    Port_A : INOUT std_logic_vector(7 DOWNTO 0);
```

```
    Port_B : INOUT std_logic_vector(7 DOWNTO 0)
```

```
  );
```

```
END P16F84;
```

Pin Diagrams



Performances du processeur Microblaze

DMIPS : Dhrystone MIPS

Another common representation of the Dhrystone benchmark is the **DMIPS** obtained when the Dhrystone score is divided by 1757 (the number of Dhrystones per second obtained on the VAX 11/780, nominally a 1 MIPS machine). Another way to represent results is in DMIPS/MHz, where DMIPS result is further divided by CPU frequency, to allow for easier comparison of CPUs running at different clock rates. Source Wikipedia

FPGA	Configuration	Fréquence	Dhrystone 2.1	
Spartan-3 (3SD1800A-5)	pipeline à 5 niveaux	105 MHz	125 DMIPS	1.19 DMIPS/MHz
Spartan-3 (3SD1800A-5)	pipeline à 3 niveaux	115 MHz	110 DMIPS	0.95 DMIPS/MHz
Virtex-5 (5VLX50)	pipeline à 5 niveaux sans MMU	235 MHz	280 DMIPS	1.19 DMIPS/MHz

Performances processeur *softcore* MicroBlaze v7.10. Source Wikipedia

Performances du processeur NIOS II

FPGA	Configuration	Fréquence	Dhrystone 2.1	
			DMIPS	DMIPS/MHz
Stratix V	Nios II /e	420 MHz	54 DMIPS	0.13 DMIPS/MHz
Stratix V	Nios II /f	350 MHz	385 DMIPS	1.10 DMIPS/MHz
Cyclone V GX	Nios II /e	220 MHz	33 DMIPS	0.15 DMIPS/MHz
Cyclone V GX	Nios II /f	170 MHz	192 DMIPS	1.13 DMIPS/MHz

Performances processeur *softcore* NIOS II. Source

<https://www.intel.fr/content/www/fr/fr/products/programmable/processor/nios-ii.html>

Addendum

- Intel est devenu depuis quelques années un acteur incontournable de l'embarqué :
 - Il produit des processeurs ARM.
 - Il a racheté en juin 2015 Altera et produit donc des composants FPGA.
 - Il participe activement au projet Yocto.
 - Il est partenaire de la société SiFive spécialisée dans l'architecture RISC-V.
 - ...

Addendum

- Jusqu'à la version 15.0 (2015), l'IDE d'Altera s'appelle Quartus II ou Quartus.
- Quartus II s'appelle depuis Quartus Prime.
- Intel prend en octobre 2021 un virage vers l'architecture RISC-V et remplace son processeur *softcore* NIOS II par le processeur *softcore* NIOS V/m (V pour RISC-V).

Addendum

- Le processeur *softcore* NIOS V/m est une architecture RV32IA :
 - Extension pour opérations atomiques.
 - *Pipeline* 5 étages.
 - Interfaces AXI4.
 - Performances de 0.46 DMIPS/MHz.
 - Support de Altera HAL et de μ C/OS II.