

E.N.S.E.R.B
GACHINARD Mathieu
FAVAN Patrick
3^{ème} année. Option TIC.

MEMOIRE DE FIN D'ETUDES :

SYSTEME DE
TELESURVEILLANCE :

REALISATION D'UNE
CARTE D'ACQUISITION
VIDEO

Encadré par :

M.KADIONIK Patrice
M.DULAU Laurent

soutenu le 20 juin 1996

Nous tenons à remercier tout particulièrement nos responsables de projet, Patrice KADIONIK et Laurent DULAU, pour l'aide précieuse qu'ils nous ont apportée tout au long de ces trois mois. Leur encadrement fut vraiment une expérience gratifiante pour nous.

Nous tenons également à adresser un grand merci :

- à tous les autres membres du laboratoire IXL, Philippe MARCHEGAY, Hervé HENRY pour ses indications concernant les microcontrôleurs, Dominique DALLET, Mohammed BENKAIS,
- à tous les autres stagiaires de l'IXL, Antonio PEREZ-BERDUD, Vincent CHEVALIER, Raymond RIBAS et tous les autres.

I) PRÉSENTATION DU SUJET. CAHIER DES CHARGES	2
I.1) LE SUJET	2
I.2) SCHÉMA BLOC GÉNÉRAL: CHAÎNE DE TRAITEMENT	3
II) ACQUISITION ET RESTITUTION DES IMAGES VIDÉO	6
II.1) BUT	6
II.2) PRINCIPE	6
II-3) SYNOPTIQUE GÉNÉRAL	8
II.3.1) SCHÉMA BLOC	8
II.3.2) ORGANIGRAMME ACQUISITION-RESTITUTION	10
II.4) SCHÉMA ÉLECTRONIQUE.	11
II.5) LE SÉQUENCEUR.	15
II.5.1) INTRODUCTION.	15
II.5.2) LA FAMILLE ALTERA MAX7000.	15
II.5.3) ALGORITHME DU SÉQUENCEUR.	16
II.5.4) DESCRIPTION DU SÉQUENCEUR DE LA CARTE DE VALIDATION.	19
II.6. RÉSULTATS PRATIQUES ET CONCLUSIONS.	26
II.6.1) RELEVÉ DE COURBES	26
II.6.2) CONCLUSIONS.	42
III) CARTE GÉNÉRALE: ACQUISITION, RESTITUTION ,TRAITEMENT	44
III.1) PRINCIPE	44
III.2) SYNOPTIQUE GÉNÉRAL	45
III.2.1) SCHÉMA BLOC	45
III.2.2) PRINCIPE DU TRAITEMENT DES DONNÉES	46
III.3) LE SCHÉMA ÉLECTRONIQUE	49
III.4) L'ENSEMBLE MICROCONTRÔLEUR ET EPLD	51
III.5) TRAVAIL À VENIR	63
IV) CONCLUSION.	65

I) **PRESENTATION DU SUJET. CAHIER DES CHARGES**

II) ACQUISITION ET RESTITUTION DES IMAGES VIDEO

III) CARTE GENERALE : ACQUISITION, RESTITUTION ET TRAITEMENT

IV) CONCLUSION.

I) Présentation du sujet. Cahier des charges

I.1) Le Sujet

L'objectif du stage a été la réalisation d'un système de surveillance vidéo. Les domaines d'application de ce système peuvent être:

- la détection préventive de tentatives de pénétrations dans des zones privée,
- la détection préventive de tentatives d'effraction sur des véhicules automobiles,
- la surveillance des installations.

Le principe général est le suivant:

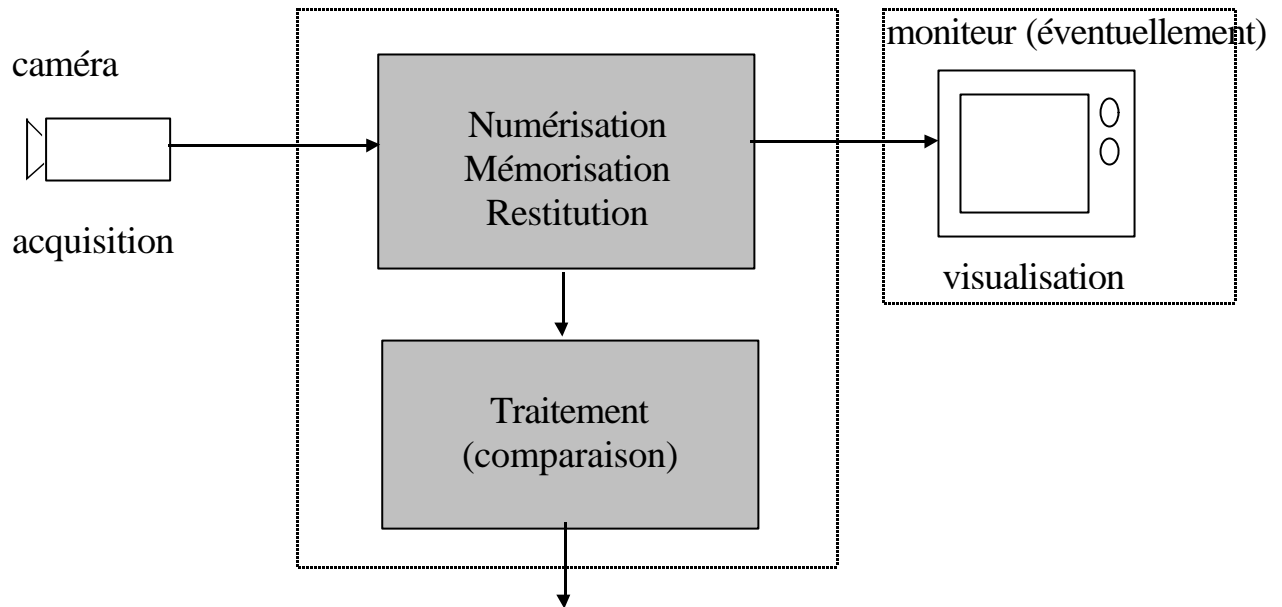
- La surveillance se fera par caméras vidéo miniatures fixes disposées aux endroits stratégiques pour la meilleure détection.
 - La ou les caméras seront reliées à un système de traitement d'images apte à déceler tout changement intervenant dans la zone à surveiller (présence humaine, apparition d'un événement pouvant interférer sur un processus en cours de déroulement).
 - Le système pourra fonctionner en continu ou en déclenché (horaire ou événement).
 - Le système de traitement pourra être relié à un système d'alarme classique (sirène ou autre) ou à un système de messagerie téléphonique comme une grande partie des systèmes actuels.
 - Au moment de la détection de l'événement, il sera gardé en mémoire l'image vidéo prise par la caméra qui détecte. Cette 'image' comportera la date et l'heure de l'événement incrustés dans l'image. Cette 'photo' pourra être récupérée sur un support (disquette pour reproduction sur imprimante, visualisation sur écran PC, carte format PCMCIA...).
- L'image compactée pourra être transmise par ligne téléphonique à un organisme de surveillance spécifiquement équipé pour entreprendre toutes actions jugées nécessaires à la protection des biens. Cette 'photo' servira de preuve en cas de poursuite judiciaire ou dépose de plainte auprès des autorités policières.

- Le système sera alimenté en secteur secouru (batteries). Les caméras seront conditionnées dans des boîtiers aptes à supporter des conditions climatiques extérieures.
- Le boîtier de contrôle et de traitement d'images devra comporter des entrées vidéo multiples. Les sorties (déclenchement d'alarme classique, mise en communication avec un système de messagerie téléphonique, format de l'enregistrement sur un support magnétique ou autre) seront conformes aux standards actuels.
- Lors de la détection de présence, un procédé de dissuasion consistera en l'affichage d'un message sur un système à affichage à défilement (sur un panneau à leds type 'chenillard'), informant que le système a 'photographié' l'événement.

La base du système d'enregistrement consiste en la mémorisation d'images instantanées à une fréquence déterminée. Il y a comparaison d'une image I_{n+1} avec une image I_{n0} qui est déjà mémorisée. Si il n'y a pas de changement, l'image I_{n+1} devient l'image de référence I_{n0} pour comparaison avec l'image suivante et ainsi de suite. En cas de modification du paysage de la zone sous surveillance, l'image précédente, sans modification notable, devient l'image de référence et le demeure. Lorsque la modification du paysage surveillé devient significative, il y a mémorisation définitive de l'image.

1.2) Schéma bloc général: Chaîne de traitement

La caméra fournit un signal vidéo monochrome analogique (norme CCIR) qui est numérisé et mémorisé. On effectue alors une comparaison de deux images vidéo consécutives en analysant les données échantillonnées. Lorsque la différence entre ces deux images est significative, un système d'alarme est déclenché.



Résultat du traitement:
 déclenchement de l'alarme,
 sauvegarde et/ou transfert de l'image utile,
 affichage d'un message de mise en garde...

Fig.1. Schéma bloc général.

I) PRESENTATION DU SUJET. CAHIER DES CHARGES

II) **ACQUISITION ET RESTITUTION DES IMAGES VIDEO**

III) CARTE GENERALE : ACQUISITION, RESTITUTION ET TRAITEMENT

IV) CONCLUSION.

II) Acquisition et restitution des images vidéo

II.1) But

Il s'agit dans un premier temps d'élaborer et de valider une 'stratégie' d'échantillonnage et de restitution d'images vidéo monochrome. La partie 'traitement', mise de côté dans cette étude préliminaire, est reprise dans un chapitre suivant.

II.2) Principe

Les caractéristiques du signal vidéo provenant de la caméra sont:

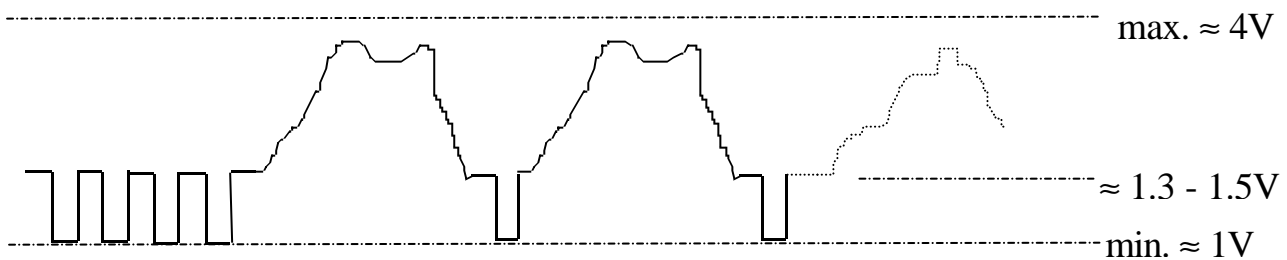


Fig.2.Caractéristiques du signal vidéo.

Paramètres de conversion:

On fixe donc la plage de conversion A/N entre 1 et 4V.

Pour éviter la génération des signaux de synchronisation lors de la restitution du signal numérisé, on a choisi d'échantillonner le signal vidéo analogique dans son intégralité (avec les synchros lignes et les synchros trames). Avec ce choix, la taille de mémoire nécessaire reste raisonnable (cf. calcul de la fréquence d'échantillonnage).

Les 'variations maximales' du signal vidéo sont de l'ordre de $2\mu s$ ce qui correspond à une fréquence maximale de 0.5Mhz. Le théorème d'échantillonnage (Shanon) nous permet de dire que la fréquence d'échantillonnage minimale de notre signal vidéo vaut:

$$f_{\text{échant min}} = 2 * 0.5 \text{ Mhz} = 1 \text{ Mhz} \Leftrightarrow T_{\text{échant}} = 1 \mu\text{s}.$$

Or une image ,c'est à dire une trame impaire et une trame paire , correspond à une durée de $2 * 20\text{ms} = 40 \text{ ms}$.

Par conséquent le nombre minimal d'échantillons à mémoriser est:

$$n_{\text{min}} = 40 * 10^{-3} * 10^6 = 40000 \text{ échantillons.}$$

Nous avons choisi, par sécurité une fréquence d'échantillonnage:

$$f_{\text{échant}} = 2 \text{ Mhz.}$$

Le nombre d'échantillons à mémoriser devient:

$$n = 80000 \text{ échantillons.}$$

Cela nécessite donc une mémoire d'au moins 128 ko (soit 17 bits d'adresse).

Ainsi, l'acquisition se fera avec une horloge de 2Mhz pour le convertisseur A/N, et la restitution se fera également avec une horloge de 2Mhz pour le convertisseur N/A.

Elimination des parasites HF:

Les fréquences utiles du signal vidéo étant inférieures à 500kHz, on dispose en entrée de la carte un filtre passe-bas du premier ordre de fréquence de coupure égale environ à 500kHz.

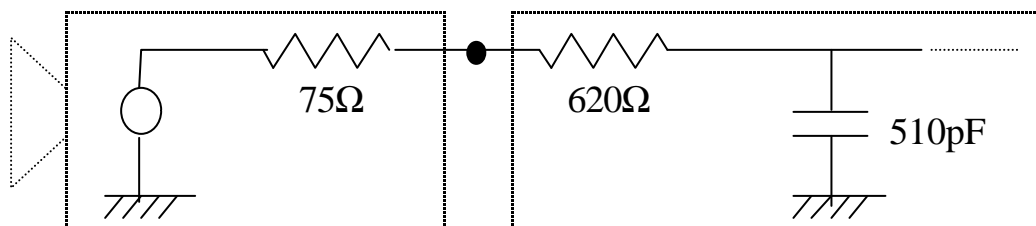


Fig.3.Filtrage des parasites HF.

On a donc :

$$f_c = 1 / 2 * \pi * (620 + 75) * 510^e - 12 \approx 450 \text{kHz}$$

De même, en sortie de la carte, sera effectué un filtrage similaire.

II-3) Synoptique général

II.3.1) Schéma bloc

Le schéma ci-dessous représente toutes les étapes de prétraitement, d'acquisition et de mise en forme du signal vidéo.

On peut distinguer 4 grandes parties :

- ◆ la partie « séquence » pilote le CAN et le CNA et génère les cycles de lecture/écriture en fonction des ordres qu'elle reçoit,
- ◆ la partie « numérisation » constituée par le CAN échantillonne le signal analogique en un signal numérique 8bits,
- ◆ la partie « stockage », constituée par 2 RAM de 128kO contenant chacune l'ensemble des échantillons d'une image,
- ◆ la partie « restitution » comprenant le CNA et l'électronique de remise en forme, se charge de reconstituer un signal analogique ayant les caractéristiques du signal provenant de la caméra (amplitude, offset...)

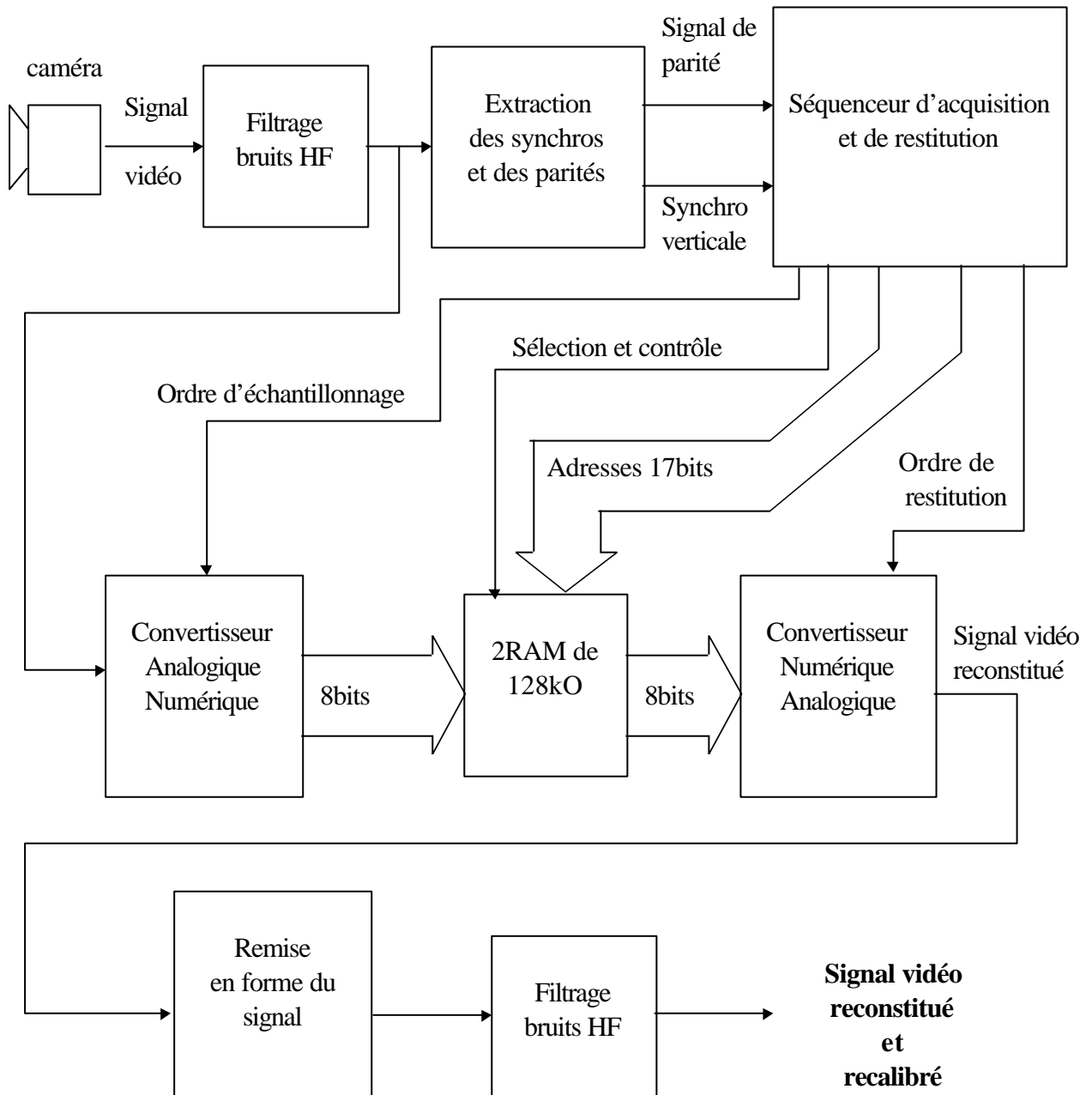


Fig.4.Schéma bloc de la chaîne d'acquisition-restitution.

II.3.2) Organigramme acquisition-restitution

L'organigramme ci-dessous présente les opérations effectuées par le séquenceur d'acquisition-restitution.

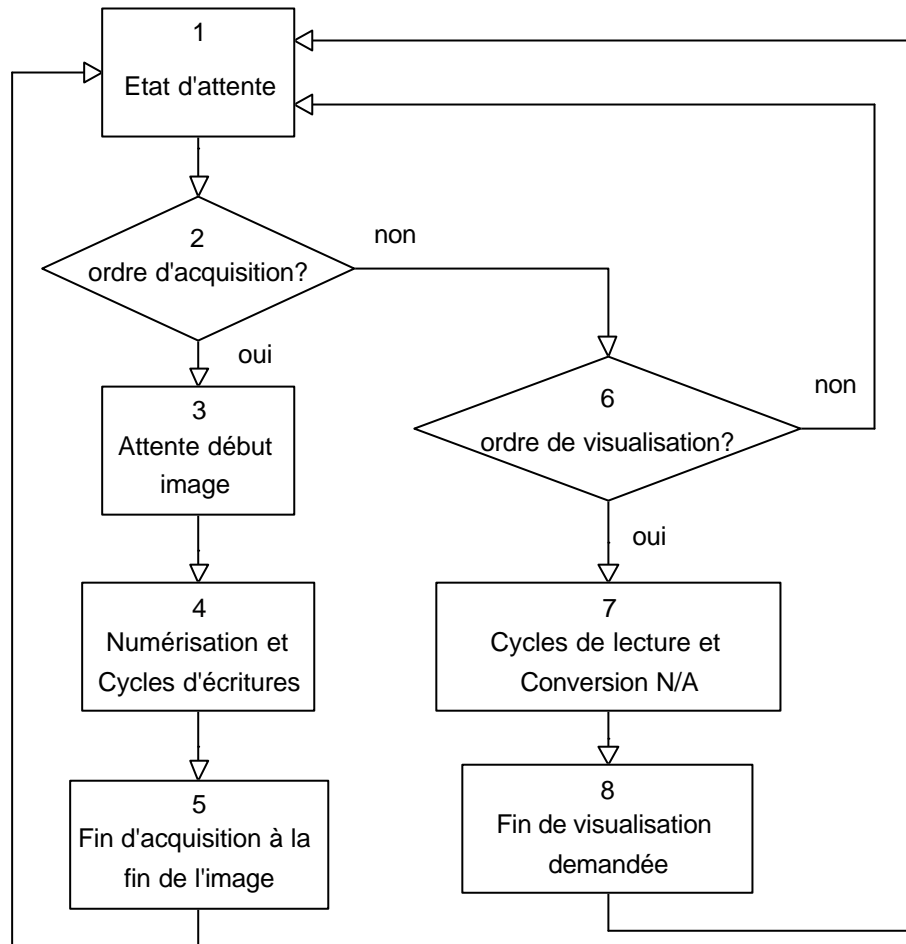


Fig.5.Organigramme de l'acquisition-restitution.

A tout moment, l'utilisateur peut ordonner une acquisition, une visualisation ou une phase d'attente.

II.4) Schéma électronique.

■ Le schéma :

■ Les tensions d'alimentation :

le système d'alarme étant susceptible d'être alimenté par une batterie de voiture, la carte de validation est alimentée entre 0 et 12V. La tension de -12V est présente dans le cas où interviendraient des tensions négatives et dans l'éventualité d'une transmission par liaison série RS232.

Les composants utilisés acceptant une tension d'alimentation de 5V, il a été jugé utile d'utiliser un régulateur LM7805 transformant la tension de 12V en 5V. afin de limiter son échauffement, un radiateur y est fixé.

■ L'horloge :

le signal d'horloge est fourni par un quartz de fréquence d'oscillation de 8MHz utilisé avec un inverseur 74HCT04. Le choix de cette fréquence 4 fois supérieure à la fréquence d'échantillonnage image sera justifié dans le chapitre II.5 concernant le séquenceur. Le signal est injecté dans un inverseur contenu dans l'EPM7096LC84 pour le rendre proche de celui d'une horloge.

■ L'extraction de synchros :

cette fonction est assurée par un circuit dédié à cet effet, le LM1881 (Video Synchro Separator) (cf. data sheet en annexe). A partir du signal vidéo composite, il fournit les signaux relatifs aux différentes synchros. Ceux utilisés par notre chaîne d'acquisition sont :

- synchro verticale :

signal prenant la valeur « 0 » logique pendant 230 μ s au début de chaque trame.

- odd/even :

signal prenant la valeur « 0 » logique durant une trame paire et « 1 » logique durant une trame impaire.

Ces deux signaux permettent de détecter le début d'une image.

■ Le séquenceur :

il est composé de deux circuits reprogrammables ou EPLD (Erasable Programmable Logic Device) d'ALTERA expliqués en détail dans le chapitre suivant.

■ Le CAN :

c'est un convertisseur flash 8bits dédié à la vidéo. La plage de conversion, [1..4]V pour nous, est fixée par les entrées V_{RB} et V_{RT} respectivement. L'entrée $_OE$ est contrôlée par le séquenceur.

Il convertit sur front descendant de l'horloge et les données sont disponibles en sortie après le 3^{ème} front montant suivant (ceci aura son importance pour le séquenceur).

■ La mémorisation :

les 2 mémoires utilisées sont des SRAMs IS61C1024 de 128kO (17bits d'adresse, 8bits de données), de temps d'accès suffisamment court (20ns). Les entrées _OE et _WE sont contrôlées par le séquenceur. Le chip select _CE1 est relié à la masse, ce qui permet de piloter les RAMs par le CE2.

A chaque mémoire correspondra une image numérisée.

■ Le CNA :

le choix s'est porté sur le TDA8702 de Phillips spécialement conçu pour la vidéo (impédance de sortie de 75Ω).

Il possède 2 modes de fonctionnement :

- durant le « transparent mode » (CLK niveau bas), tout changement de données en entrée sera convertit en sortie analogique.
- pendant le « latched mode », (CLK niveau haut), le signal analogique reste stable indépendamment de tout changement en entrée.

Les tensions analogiques en sortie (V_{out} et $_V_{out}$) sont référencées par rapport à V_{CCA} (tension de référence max. pour le signal analogique). Avec une impédance de 75Ω vue par la sortie du convertisseur, le code 0 en entrée correspond à une

$$V_{out} = V_{CCA} = 5V$$

et le code 255 à une

$$V_{out} = V_{CCA} - 0.8V = 4.2V.$$

La tension $_V_{out}$ étant la tension complémentaire de V_{out} .

■ La remise en forme du signal :

pour pouvoir être visualisé, le signal de sortie vidéo doit posséder les mêmes caractéristiques que le signal provenant de la caméra. Une remise en forme du signal s'avère donc nécessaire.

Il va donc subir les transformations suivantes :

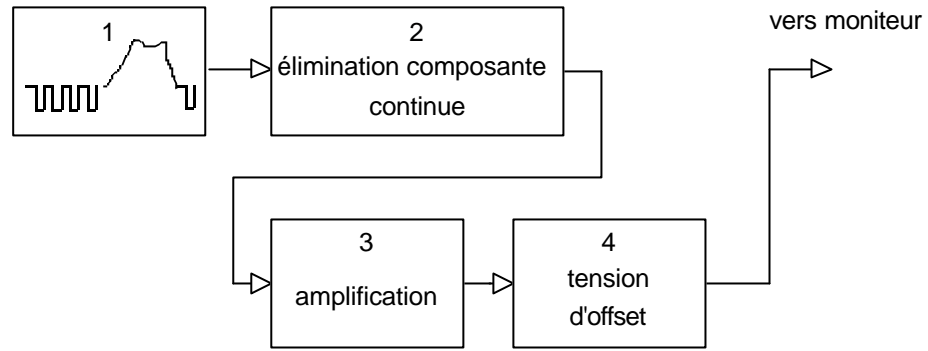
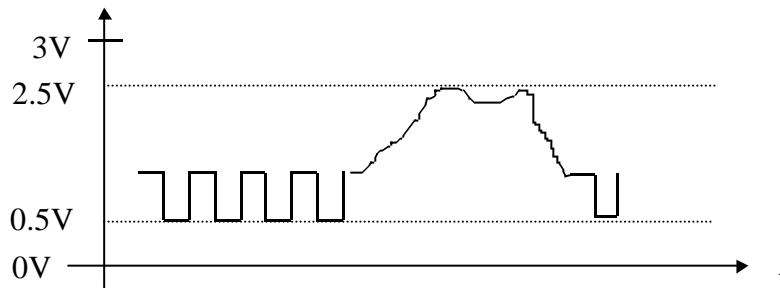
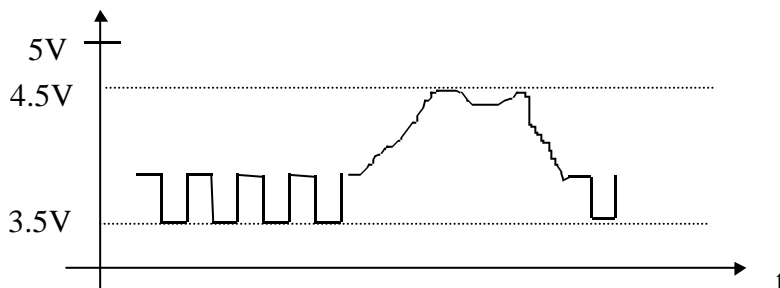


Fig.6.Remise en forme du signal avant visualisation.

Pour un signal vidéo en entrée du CAN de caractéristiques suivantes,



on obtient en V_{out} le signal suivant :



donc ce signal devra être amplifié d'un facteur 2 (réglable par des potentiomètres) puis remonté d'un offset d'environ 1V (réglable aussi par potentiomètre) après élimination de sa composante continue.

On obtient les tensions continues par des ponts diviseurs suivis de suiveurs.

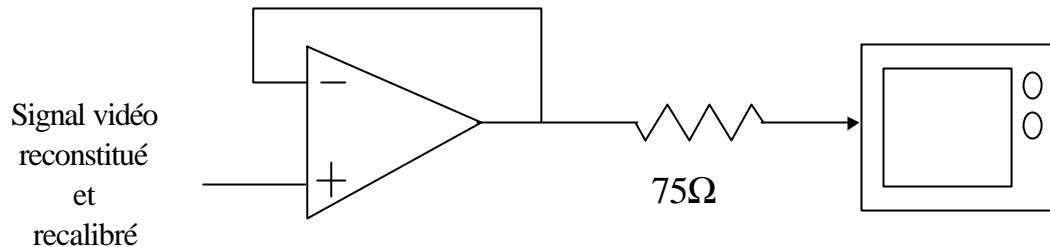
Le gain est obtenu à l'aide d'un montage amplificateur de différence dont la tension de sortie vaut :

$$V_s = 2 * (V_{out} - V_{out}) * R_{10} / R_8 \text{ (cf.schéma)}$$

Enfin, l'offset est obtenu avec un montage additionneur.

■ L'adaptation en sortie :

Elle est nécessaire pour la visualisation sur le moniteur qui doit « voir » 75Ω :



II.5) Le séquenceur.

II.5.1) Introduction.

Il est le cœur du système. Son rôle est d'orchestrer les opérations qui ont lieu durant les phases d'acquisition et de restitution, à savoir les cycles de lecture/écriture, les « chip select » et autres signaux de contrôle. Il est également chargé de régler les conflits des bus de données et d'adresse.

II.5.2) La famille ALTERA MAX7000.

■ Présentation :

les circuits de la famille MAX7000 d'ALTERA sont des circuits logiques reprogrammables (EPLD). La configuration est stockée de manière permanente grâce à la technologie EEPROM qui permet environ 100 cycles d'effacement-programmation.

Ces circuits sont donc très adaptés aux applications prototypes, ce qui est précisément notre cas.

■ Description fonctionnelle :

l'architecture des circuits de cette famille est organisée en cellules qui comprennent une partie logique combinatoire, des registres et des blocs d'entrée-

sortie. Un circuit compte des cellules internes ainsi qu'une cellule pour chaque patte d'entrée-sortie.

L'utilisateur développe son circuit en utilisant le logiciel fourni par le fabricant, *MAX+plusII*. A l'aide d'un schéma ou d'une description fonctionnelle de l'application (en AHDL), un compilateur spécialisé génère un code pour la programmation du circuit. L'utilisateur ne tient compte que du nombre de portes disponibles et de la fréquence max. de fonctionnement du circuit.

Par exemple, le circuit EPM7096LC84 comporte 160 cellules et 84 broches.

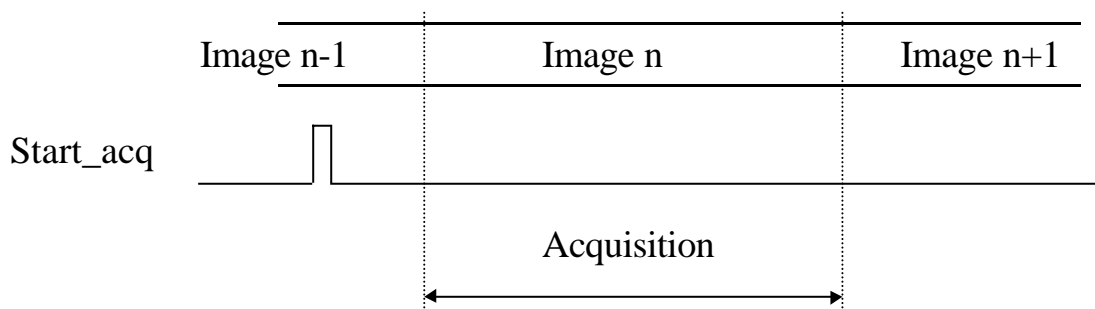
II.5.3) Algorithme du séquenceur.

Il est présenté sous la forme d'une machine d'état simplifiée par rapport à l'algorithme final programmé en AHDL.

Les signaux de commande sont les suivants :

■ **start_acq :**

impulsion qui donnera l'ordre de faire une acquisition. Dès qu'il passe en niveau haut (Vcc), le séquenceur bascule de l'état initial (d'attente) à un état d'attente du début de l'image qui arrive.



■ **choix_ram :**

signal indiquant la bank dans laquelle on souhaite mémoriser l'image.

Si **choix_ram** = 0 \Rightarrow stockage dans RAM0

sinon \Rightarrow stockage dans RAM1

■ **visu :**

signal qui ordonne une restitution tant qu'il est égal à Vcc.

Les signaux de synchronisation d'acquisition sont les suivants :

- o/e :
signal de parité de la trame actuelle.

- vsync :
signal de synchro trame.

Les signaux de synchronisation avec le compteur d'adresse (fonction assurée par un EPLD annexe) sont les suivants :

- reset :
RAZ du compteur d'adresse.

- increm :
signal commandant l'incrementation du compteur.

- fin_compt :
signal provenant du compteur. Impulsion délivrée quand la butée du compteur est atteinte.

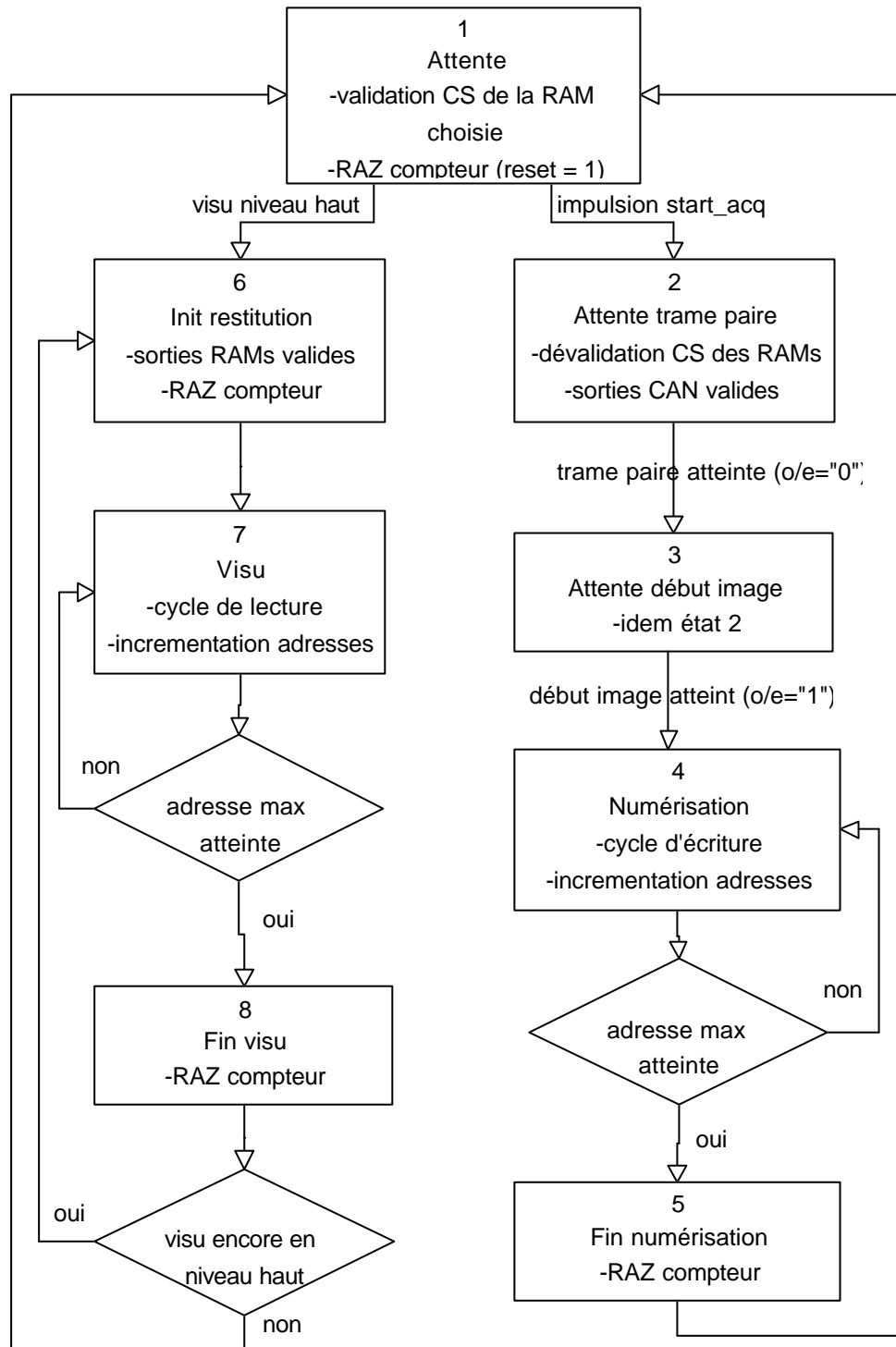


Fig.7.Organigramme du séquenceur.

II.5.4) description du séquenceur de la carte de validation.

Deux EPLDs sont utilisés ici. Le 1^{er} (**EPM 7032LC44-7**), un compteur 17bits, génère les adresses, les incrémente ou les réinitialise en fonction des ordres qu'il reçoit du 2^{ème} (**EPM 7096LC84-7**) via les signaux *increm* et *reset*. Ce dernier gère les signaux de contrôle vidéo (synchro trame, parité), les signaux de commande et pilote les différents circuits durant les diverses opérations. Il se charge également de fournir les adresses aux RAMs en recopiant les valeurs du compteur (signaux *val_cpt[16..0]*).

L'ensemble nécessite environ 130 cellules logiques.

On pourrait donc se contenter d'un unique ALTERA EPM7160, et limiter ainsi le nombre de composants.

Tous deux sont alimentés entre 0 et 5V.

Le 1^{er} délivre une impulsion *fin_compt* quand il arrive en butée de comptage; le 2^{ème} une impulsion *fin_num* quand toutes les opérations d'acquisition sont terminées.

Ces deux circuits ont été programmés puis soumis à une simulation pour vérifier le bon déroulement des opérations et la synchronisation des EPLDs entre eux. Ceci a également permis de vérifier que les différents temps d'accès étaient bien respectés avant le câblage final.

La fin de ce paragraphe regroupe les chronogrammes intéressants.

N.B : les simulations ont été effectuées avec une adresse butée égale à 0000E de manière à visualiser les parties intéressantes des cycles avec une simulation non excessivement longue. Le compteur a ensuite été reprogrammé avec la bonne valeur de butée.

Les signaux importants sont *adresse_out[16..0]*, *reset*, *increm*, *cs0*, *cs1*, *clk_acq*, */we_ram*, */oe_can*, */oe_ram* et *clk_cna*.

Fig.8.Chronogramme général.

2 cycles d'acquisition (dans RAM1 puis RAM0) + 2 cycles de visualisation (RAM0 puis RAM1)

Fig.9.Début cycle d'acquisition.
Attente de données valides (3^{ème} front montant) en sortie du CAN.
Durée d'un cycle d'écriture \approx 80ns.

Fig.10. Fin d'acquisition.
Débordement des cycles par rapport à vsync à cause bufferisation dans le CAN.

Fig.11. Début cycles de visualisation.

Fig.12.Rebouclage durant le cycle de visualisation.
Vérification de la bonne RAZ des adresse_out[16..0].

Fig.13.Fin de visualisation.
Vérification arrêt quand *visu* passe en niveau bas.

II.6. Résultats pratiques et conclusions.

II.6.1) Relevé de courbes

Avec la carte test que l'on a réalisé, nous avons obtenu les courbes suivantes.

La première série de courbes représentent l'échantillonnage de signaux périodiques (sinusoïde, triangle, carré)

La deuxième série représente la restitution du signal vidéo échantillonné après réglage de la chaîne à l'aide des courbes précédentes.

N.B : dans toutes les courbes qui suivent, la voie 1 représente le signal vidéo d'entrée et la voie 2, le signal vidéo échantillonné puis reconstitué.

Première série de courbes :

La première courbe (signaux triangulaires) représente sur la voie 1 le signal du générateur (Vin) directement injecté à l'oscilloscope et sur la voie 2 le signal reconstitué (Vidéo_out). Sur la deuxième courbe (signaux triangulaires toujours), le signal de la voie 1 correspond à Vin prélevée sur la carte via une sonde, la voie 2 restant inchangée.

On remarque clairement que le signal en entrée est parasité par la carte, ce qui explique l'allure bruitée du signal reconstitué en sortie. L'acquisition quant à elle fonctionne correctement.

Les signaux carrés de la courbe 3 et les signaux sinusoidaux de la courbe 4 confirment les conclusions tirées ci-dessus.

Ceci montre le bon fonctionnement de la chaîne d'acquisition-restitution.

Courbe 1.

Courbe 2.

Courbe 3.

Courbe 4.

Deuxième série de courbes :

La courbe 5 représente le signal utile (niveaux de gris) ainsi que les synchronisations horizontales sur environ 3 lignes. On remarque que la forme du signal restitué ressemble fortement au signal d'entrée, ce qui confirme la validation de l'acquisition-restitution.

Les courbes 6 à 11 permettent la comparaison des synchronisations trame entre les 2 signaux.

La courbe 12 met en évidence la fréquence trame. La présence d'impulsions négatives sur l'oscilloscope numérique n'est pas à prendre en compte. En effet, la visualisation de ces signaux sur un oscilloscope analogique montre l'alignement parfait des différentes synchronisations.

Enfin, la courbe 13 montre l'importance de la plage de conversion au niveau du CAN. En effet, les pics de luminance du signal vidéo en entrée sont tronqués par la tension de butée de conversion. Par conséquent, on ne retrouve pas ces pics sur le signal restitué, ce qui implique une perte de résolution de niveau de gris (contraste). Il est donc nécessaire d'effectuer un réglage fin de la plage de conversion.

Courbe 5.

Courbe 6.

Courbe 7.

Courbe 8.

Courbe 9.

Courbe 10.

Courbe 11.

Courbe 12.

Courbe 13.

II.6.2) Conclusions.

La carte a été testée avec une caméra (ayant un grand angle surprenant) et un moniteur. Une acquisition était réalisée et l'image de restitution apparaissait de façon convenable. Cependant, il faut émettre une réserve concernant le contraste qui, en comparaison avec celui de l'image directement issue de la caméra, est nettement moins bon.

L'utilisation de plusieurs mires (barres verticales, barres horizontales, quadrillage, paliers de niveaux de gris, points espacés) donne les résultats suivants :

- la baisse de contraste précédemment citée (plage de conversion non optimale),
- une restitution parfaite des lignes horizontales, ce qui prouve que le signal de niveaux de gris sur une ligne est bien échantillonné,
- une déformation assez nette des lignes verticales qui montre que la fréquence d'échantillonnage n'est pas bien adaptée à la fréquence ligne,
- les points espacés apparaissent de façon moins nette. En effet, les impulsions générées au niveau du signal vidéo ont une largeur trop faible par rapport à la période d'échantillonnage. Il apparaît donc nécessaire d'augmenter cette fréquence d'échantillonnage au détriment de la taille mémoire. Il apparaît là un compromis à prendre en compte et à optimiser.

L'expérience nous a montré que l'offset ajouté au signal vidéo reconstitué n'avait pas d'influence pour le moniteur à condition tout de même de respecter une certaine plage limite pour les valeurs crête à crête. Il semblerait donc que l'entrée du moniteur soit munie d'une liaison capacitive. En revanche, les gains d'amplification appliqués au signal restitué augmentent la luminosité et là encore, un réglage s'avère nécessaire.

Cependant, sur la plupart des images reconstituées, les détails du visage apparaissent assez clairement, en tout cas suffisamment pour la reconnaissance de ce visage.

D'un point de vue technique, une amélioration peut être apportée grâce à l'utilisation d'un unique EPLD contenant 160 cellules et des SRAM de temps d'accès plus long. Cela permet également d'optimiser le coût de la carte.

I) PRESENTATION DU SUJET. CAHIER DES CHARGES

II) ACQUISITION ET RESTITUTION DES IMAGES VIDEO

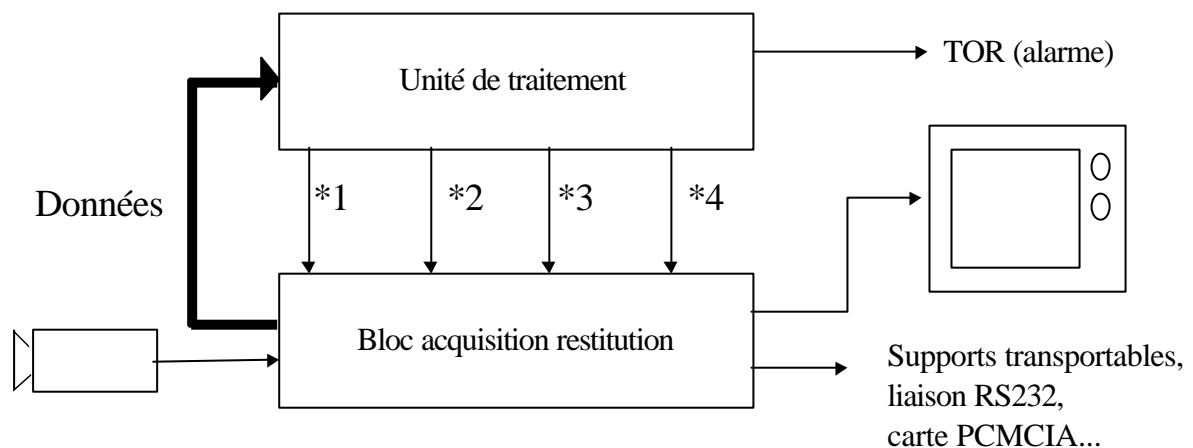
III) **CARTE GENERALE : ACQUISITION, RESTITUTION ET
TRAITEMENT**

IV) CONCLUSION.

III) Carte générale: Acquisition, Restitution, Traitement

III.1) Principe.

La partie Acquisition/Restitution reprend le principe de la carte précédente. Il s'agit ici d'effectuer le traitement des données des images numérisées pour en déduire une éventuelle intrusion. La détection sera faite par comparaison de 2 images successives. Si la différence entre ces deux images est significative, il y a mémorisation de la dernière image et un signal TOR active une alarme. A partir de ce moment là, un transfert de la mémoire de sauvegarde vers l'extérieur est envisageable.



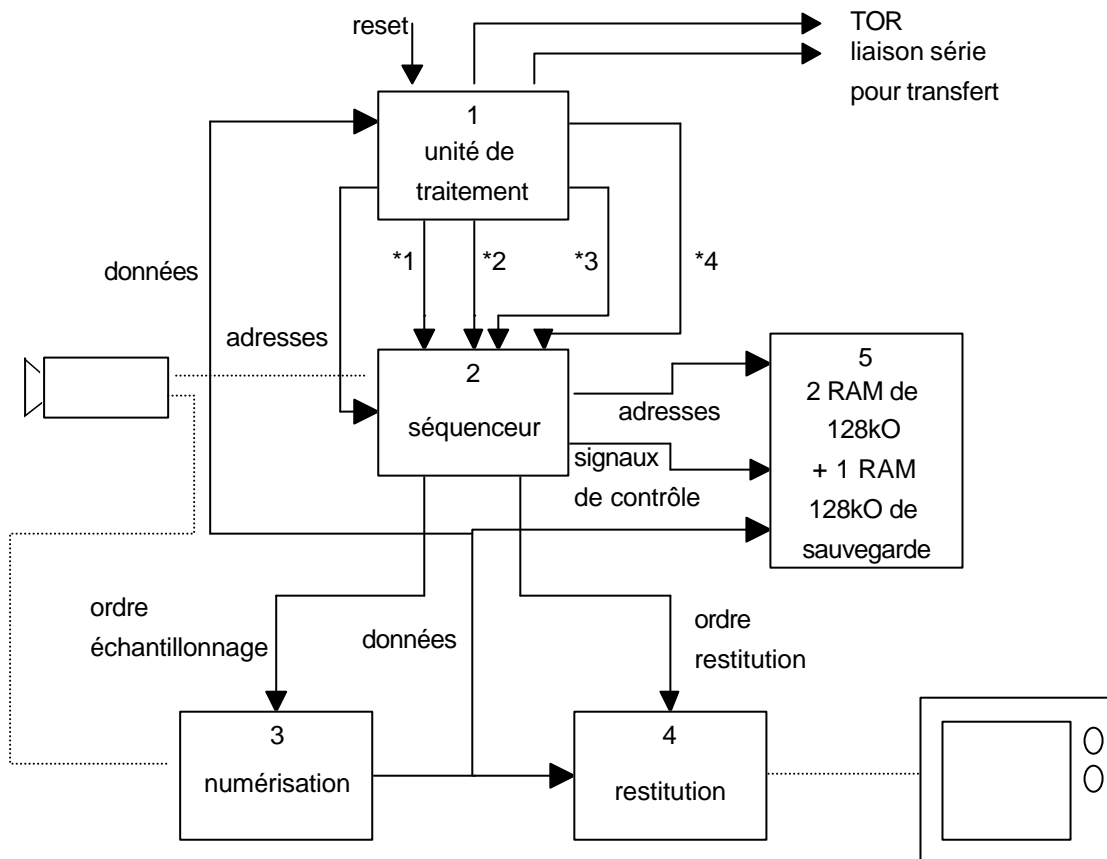
Légende :

- *1 : ordre d'acquisition.
- *2 : ordre visualisation.
- *3 : reset état séquenceur.
- *4 : transfert externe.

Fig.14.Principe du système d'alarme.

III.2) Synoptique général

III.2.1) Schéma bloc



Légende :

- *1 : ordre acquisition.
- *2 : ordre restitution.
- *3 : reset état séquenceur.
- *4 : transfert.

Fig.15.Schéma bloc.

L'unité de traitement donne les ordres au séquenceur. Lorsque les ordres d'acquisition ou de restitution sont lancés, le séquenceur "prend la main" et l'unité de traitement attend la fin des opérations avant d'effectuer un quelconque traitement. Lors de la phase de traitement, l'unité de traitement gère les adresses pour la lecture des données ou l'écriture en cas de sauvegarde. Le séquenceur se charge de "recopier" en sortie (ce qui n'est pas totalement vrai et on en reparlera plus tard au sujet de l'adressage paginé) les adresses qu'il reçoit de l'unité de traitement et active les mémoires adéquates.

La partie "Stockage" présente une mémoire de 128 ko supplémentaire qui correspond à la mémoire de sauvegarde de l'image utile lors de la détection. On appellera RAM0 et RAM1 les deux mémoires d'acquisition des images et RAM2 la mémoire de sauvegarde de l'image utile (il y aura un transfert d'une des deux mémoires d'acquisition vers la mémoire de sauvegarde).

III.2.2) Principe du traitement des données

Il s'agit ici d'un algorithme de comparaison de deux images consécutives numérisées. Le principe est le suivant:

-On dispose des 3 mémoires RAM0, RAM1 et RAM2.

Une image I_n a été numérisée. C'est l'image de référence. Les échantillons $X_{n,i}$ sont stockés dans RAM0 ou RAM1.

On numérise une image I_{n+1} et les échantillons $X_{n+1,i}$ sont stockés dans l'autre mémoire (RAM1 ou RAM0 respectivement).

On effectue alors le calcul des moyennes des échantillons:

$$M_n = M_{\text{Ref}} = \frac{1}{N} \sum_{i=0}^{N-1} X_{n,i}$$
$$M_{n+1} = M_{\text{Test}} = \frac{1}{N} \sum_{i=0}^{N-1} X_{n+1,i}$$

où $N = 80000$ représente le nombre d'échantillons.

On effectue la comparaison des deux images I_n et I_{n+1} c'est à dire qu'on effectue la comparaison des moyennes:

$$D = |M_{\text{Test}} - M_{\text{Ref}}| = |M_{n+1} - M_n|$$

Si D est inférieur à un seuil Δ , cela signifie que la différence entre les deux images n'est pas significative. Dans ce cas, l'image I_{n+1} devient l'image de référence ($I_{\text{ref}} = I_{n+1}$) et on effectue l'acquisition d'une nouvelle image I_{n+2} qui devient la nouvelle image à tester ($I_{n+2} = I_{\text{Test}}$). On refait alors une nouvelle comparaison...

Si D est supérieur à Δ , alors la différence entre les deux images est significative, un signal TOR déclenche une alarme et la dernière image, c'est à dire I_{n+1} ici, est sauvegardée dans la troisième mémoire RAM2. Il y a en fait un transfert entre les mémoires RAM0 ou RAM1 vers la mémoire RAM2. Le système se bloque et attend un nouvel ordre acquisition de la part de l'utilisateur.

Il faut naturellement que le seuil Δ soit choisi de telle façon que le système d'alarme se déclenche pour une modification significative des images numérisées.

L'algorithme de traitement est le suivant:

On notera :

D : différence des moyennes,

M_{ref} : moyenne de l'image de référence,

M_{test} : moyenne de l'image que l'on teste,

choix: booléen qui indique si l'acquisition se fait dans la RAM0 (choix=0)
ou dans la RAM1 (choix=1),

RAM0 et RAM1: mémoires de référence et de test,

RAM2: mémoire de sauvegarde de l'image.

```
D ← 0;
Δ ← constante;
choix ← 0;
Acquisition;
Calcul Mref;
Acquisition;
Calcul Mtest;
choix ← 1;
Répéter
    D ← valeur_absolue (Mref-Mtest) ;
    Si D>Δ *détection* alors

        Si choix = 1 alors
            mettre contenu RAM1 dans RAM2;
        Sinon
            mettre contenu RAM0 dans RAM2;
        Fin de si;

    Déclencher alarme ,transfert des données de RAM2 et restitution;

Sinon
    Mref ← Mtest;
    Si choix = 1 alors
        sélectionner RAM1;
        Acquisition;
        Calcul Mtest;
        choix ← 0;
    Sinon
        sélectionner RAM0;
        Acquisition;
        Calcul Mtest;
        choix ← 1;
    Fin de si;

Jusqu'à <alarme> ou <restitution> ou <transfert> ou <arret,pause>;
```

L'algorithme ci dessus suppose qu'on ait entre deux images consécutives une différence importante pour la détection ce qui est peu réaliste si on veut photographier l'événement d'une intrusion par exemple. On améliore alors l'algorithme en introduisant non plus un seuil Δ mais deux seuils Δ_1 et Δ_2 avec $\Delta_2 > \Delta_1$.

Si $D < \Delta_1$ alors on continue les acquisitions.

Lorsque $D > \Delta_1$, cela signifie qu'il y a eu une modification de l'image. On effectue alors des acquisitions en gardant comme image de référence celle qu'on avait avant le test $D > \Delta_1$. On effectue à nouveau le calcul de D jusqu'à ce qu'on obtienne soit $D < \Delta_1$, soit $D > \Delta_2$. Dans le premier cas, on recommence les acquisitions. Dans le deuxième cas, on obtient une différence d'images assez conséquente. Il y a alors mémorisation de l'image et le déclenchement d'alarme. Ainsi si, par exemple, la tête d'un délinquant passe devant la caméra, le premier algorithme mémorise seulement une partie du visage alors que l'algorithme amélioré mémorise le visage dans son ensemble.

III.3) Le schéma électronique

Ce schéma reprend toute l'électronique de la partie Acquisition/Restitution. C'est en réalité un début de schéma qui pourra être complété pour la suite du projet. Les seules modifications notables sont, d'une part la présence d'une troisième mémoire SRAM (c'est la RAM2) qui est la mémoire de sauvegarde et d'autre part la présence du microcontrôleur de Motorola MC68HC11K1 qui représente la partie unité de traitement. On ne va détailler ici que les connexions des nouveaux éléments ainsi que les modifications par rapport au premier schéma électronique de la partie Acquisition/Restitution.

L'horloge qui est connectée avec le microcontrôleur (entrée XTAL et EXTAL) a toujours une fréquence de 8 Mhz.

La troisième mémoire (RAM2) possède les mêmes caractéristiques que les deux premières (IS61C1024).

C'est le microcontrôleur qui donne les d'ordres d'acquisitions (signal start_acq), de restitution (signal visu) et de transfert externe (signal transf_ext).

Schéma électronique de la carte générale : acquisition, restitution et traitement.

Le séquenceur est cette fois constitué par deux ALTERA EPM 7096LC84-7 , l'un étant un compteur d'adresses et l'autre étant le séquenceur (machine d'états). Des signaux supplémentaires ont été rajoutés: On trouve en sortie les signaux CS2 (Chip enable pour la RAM2) et /oe2 (Output_enable pour la RAM2) et en entrée les signaux R/W , C1, C2, transf_ext qui sont issus directement du MC68HC11K1 ainsi que le bus d'adresses (adresse_in[18..0]). R/W , C1 = CSGP1 , C2 = CSGP2 correspondent aux signaux de gestion des mémoires commandés par le microcontrôleur (on expliquera leurs significations plus loin). Le bit adresse_in18 est un bit qui pour l'instant n'est pas utilisé et on peut le relier à la masse.

Le fonctionnement est le suivant:

Lorsque le microcontrôleur donne un ordre d'acquisition ou de restitution, c'est le séquenceur (c'est à dire les deux ALTERA) qui commande tous les signaux de gestion des mémoires et des convertisseurs ,et le bus d'adresses. Le microcontrôleur est obligé d'attendre que le séquenceur repasse dans son état d'attente pour pouvoir effectuer un traitement. Par exemple lorsqu'il donne l'ordre de faire une acquisition, il attend l'impulsion du signal fin_num (fin de numérisation) pour effectuer le traitement des données.

Lorsque le séquenceur est dans son état d'attente (aucun ordre reçu de la part du microcontrôleur) , c'est le MC68HC11K1 qui est maître des signaux de gestion et du bus d'adresses. Le séquenceur ne se contente alors que de recopier les signaux (R/W , CSGP1 , CSGP2 , adresse_out[] étant fonction des adresse_in[]). Etant donné qu'il faut une synchronisation entre ces signaux , sachant que les adresses traversent les deux ALTERA (il n'a pas été possible de faire autrement), on a décidé que les signaux R/W, CSGP1, CSGP2 traverseraient aussi les deux ALTERA pour avoir les mêmes temps de retard (c'est la raison de la présence des signaux R/W_in, C1_in... et de R/W_out,C1_out...).

Le signal TOR (signal tout ou rien) issu du microcontrôleur correspond au signal qui déclenche l'alarme.

III.4) L'ensemble microcontrôleur et EPLD

Le microcontrôleur MC68HC11 de Motorola (voir documents en annexes) est un circuit CMOS de haute technologie.

L'unité centrale est très voisine du microprocesseur M6800: C'est une unité centrale 8 bits.

Le MC68HC11 possède une mémoire programme de plusieurs kilo-octets en ROM, EPROM ou EEPROM.

Il possède également 256 octets de RAM pouvant être sauvegardée par pile, 512 octets d'EEPROM, des ports multifonctions 8 bits, des liaisons séries synchrone et asynchrone, un convertisseur 8 bits...

L'architecture du MC68HC11 traite les périphériques d'entrées et de sorties comme des octets mémoires. Il n'y a pas d'instructions spécifiques d'entrées ou de sorties pour accéder pour accéder aux circuits périphériques.

Le microcontrôleur MC68HC11K1 que l'on utilise doit piloter trois mémoires externes ayant une capacité chacune de 128 ko. Or un microcontrôleur classique MC68HC11 avec 16 bits d'adresses ne peut effectuer un tel adressage. C'est la raison pour laquelle on a choisi la version K1 (MC68HC11K1). La particularité de ce microcontrôleur est le fait qu'il peut accéder à des mémoires externes ayant des capacités trop grandes pour le mode d'adressage classique. On utilise l'adressage paginé. Dans la cartographie mémoire (64 ko adressables dans la "Memory Map"), il apparaît naturellement des zones d'adresses exclusivement réservées aux registres, aux mémoires internes et on peut accéder aux mémoires externes à partir des autres zones d'adresses. Si les capacités des mémoires sont pas importantes, les 16 bits d'adresses peuvent suffir. En revanche, dans notre cas (trois mémoires SRAM de 128 ko chacune!) , les 16 bits d'adresses ne suffisent pas. On crée alors dans la cartographie mémoire deux fenêtres d'adresses appelées Window1 et Window2. Lorsqu'on se trouve dans une de ces fenêtres , le microcontrôleur se place en mode d'adressage paginé. Le port G du MC68HC11K1 contient des signaux "Memory Expansion" (XA13,XA14,XA15,XA16,XA17,XA18) destinés à compléter les bits d'adresses classiques. On peut alors accéder à toutes les adresses des trois mémoires grâce à la combinaison des signaux du bus d'adresses classique et des signaux XA. Les tableaux suivants montrent le mode d'adressage paginé pour nos mémoires externes ainsi que la cartographie mémoire utilisée.

Cartographie mémoire adressable.

Lorsque le séquenceur est dans son état d'attente les adresses en sortie (adresse_out[16..0]) suivent les variations des adresses (adresse_in[18..0]) provenant du microcontrôleur en utilisant un décodage adéquat (cf algorithme valmc_sq se trouvant en annexes). On a:

Si C1=1 (sélection de la Window1) alors

```
adresse_out[13..0] = adresse_in[13..0];
adresse_out14 = XA14;
adresse_out15 = XA15;
adresse_out16 = XA16;
choix_ram = XA17;
```

Si C2=1 (sélection de la Window2) alors

```
adresse_out[12..0] = adresse_in[12..0];
adresse_out13 = XA13;
adresse_out14 = XA14;
adresse_out15 = XA15;
adresse_out16 = XA16;
```

Les adresses obtenues à la sortie du séquenceur permettent d'accéder aux mémoires.

Le nouveau séquenceur constitué par les deux ALTERA EPM 7096LC84-7 a été simulé avec le logiciel "MAX+plusII" et on a obtenu les chronogrammes suivants:

N.B : les simulations ont été effectuées avec une adresse butée égale à 0000E de manière à visualiser les parties intéressantes des cycles avec une simulation non excessivement longue. Le compteur a ensuite été reprogrammé avec la bonne valeur de butée.

chrono géné

Chronogramme général.

début acquisition

Début d'acquisition.

fin acquisition

Fin d'acquisition.

Etat d'attente de l'ALTERA durant lequel il recopie
les signaux de contrôle provenant du microcontrôleur.

Début visualisation.

Rebouclage des adresses pendant la restitution.

Fin restitution.

III.5) Travail à venir

Une étude précise du fonctionnement du microcontrôleur reste à faire, en particulier en ce qui concerne la gestion des signaux au niveau des ports d'entrée-sortie.

Le mode de transfert reste à étudier notamment du point de vue liaison série. Il faudra également étudier le pilotage du chenillard, la transmission par voie hertzienne, l'incrustation de la date et de l'heure d'intrusion sur l'image ainsi que la sauvegarde sur supports transportables.

La programmation de l'EEPROM placée en externe se fera à l'aide d'un compilateur C dédié au MC68HC11. Pour plus d'informations concernant cette partie du projet, il faudra se référer au travail du stagiaire Raymond RIBAS qui prendra la suite du projet.

Etant donnée la complexité du mode d'adressage paginé du MC68HC11K1, et si l'on souhaite effectuer des traitements et des compressions d'images, le choix d'un microprocesseur semble plus judicieux.

Concernant la conception de la carte en circuits imprimés, la schématique a déjà été saisie sous MENTOR sous réserve de modifications.

I) PRESENTATION DU SUJET. CAHIER DES CHARGES

II) ACQUISITION ET RESTITUTION DES IMAGES VIDEO

III) CARTE GENERALE : ACQUISITION, RESTITUTION ET TRAITEMENT

IV) **CONCLUSION.**

IV) CONCLUSION.

Ce stage effectué au sein de l'IXL nous a permis de nous rendre compte de la difficulté que représentent les traitements sur un signal vidéo.

L'élaboration de la carte d'acquisition-restitution et les divers tests effectués nous ont mené aux constatations suivantes :

- le compromis fréquence d'échantillonnage / taille mémoire peut être amélioré,
- les problèmes d'adaptation et de synchronisation ont une importance pour la vidéo, notamment au niveau de la visualisation sur un moniteur.

Notre étude sur la vidéo nous a permis d'aborder des systèmes électroniques sophistiqués comme par exemple les circuits reprogrammables ALTERA qui permettent l'intégration d'opérations complexes dans des composants de taille réduite. Il est vraisemblable que l'électronique de demain fasse énormément appel à ce genre de technologies.

Ce stage nous a été gratifiant dans la mesure où il touche à plusieurs domaines de l'électronique (analogique et numérique) .

Il s'est déroulé dans de bonnes conditions et nous ne pouvons que souhaiter l'aboutissement de ce système de surveillance.