

**CARTE D'ACQUISITION PCI:
CONCEPTION ET
REALISATION**

**Antonio PEREZ-BERDUD
Vincent CHEVALIER**

Juin 1996

**Projet dirigé par: Mr M. BENKAIS
 Mr P. MARCHEGAY**

INTRODUCTION

• **Convertisseurs Analogique / Numérique**

- ⇒ **Traitement de l'information**
- ⇒ **Nécessité d'outils performants**
- ⇒ **Acquisition de données**

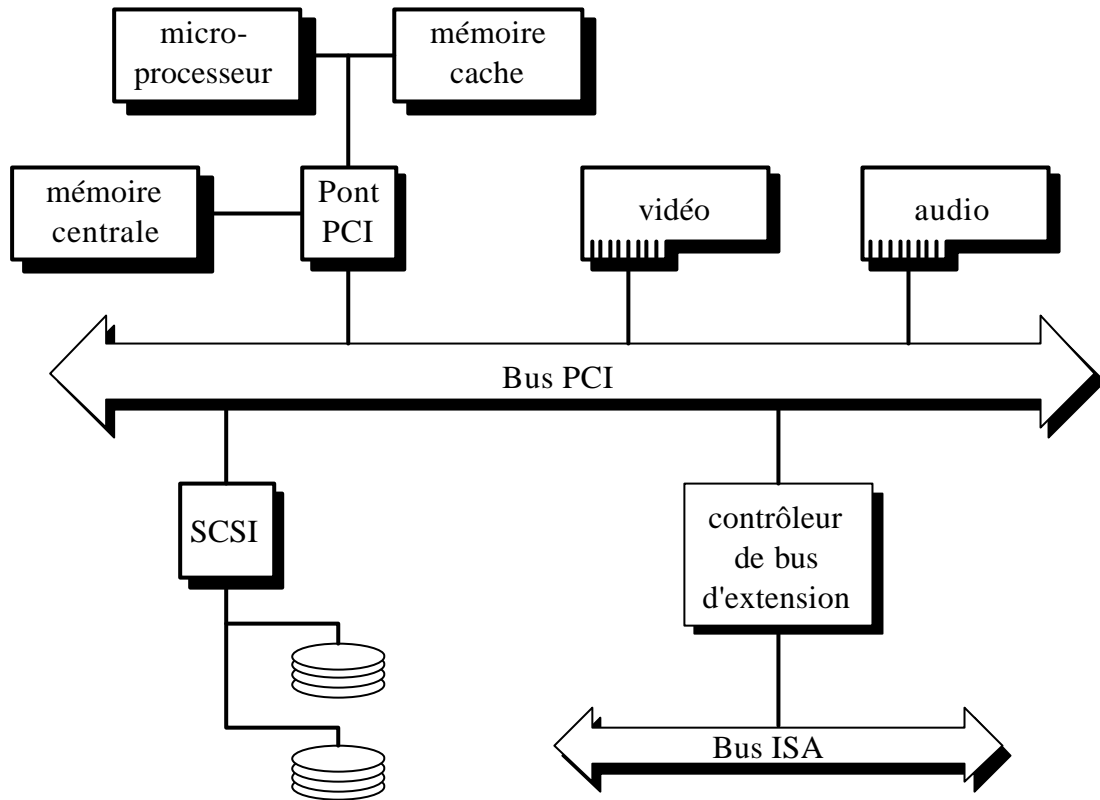
Année	Développeur	BUS	Ordinateur employé	Fréquence Max	Taille mémoire
1989	IXL	NuBus	Macintosh	25 MHz x 24 bits	8k x 24 bits
1995	IXL	NuBus	MAC et PowerMAC	50 MHz x 24 bits	64k x 24 bits
1993	Thomson	ISA	PC	75 MHz x 24 bits	256k x 16 bits

Les anciennes versions de cartes d'acquisition

• **Cahier de charges**

- ⇒ **Bus PCI**
- ⇒ **Acquisition de 1 Mega échantillons de 24 bits**
- ⇒ **Fréquence d'acquisition de 100 MHz**
- ⇒ **Interface logicielle**
- ⇒ **Routage de la carte**

LE BUS PCI

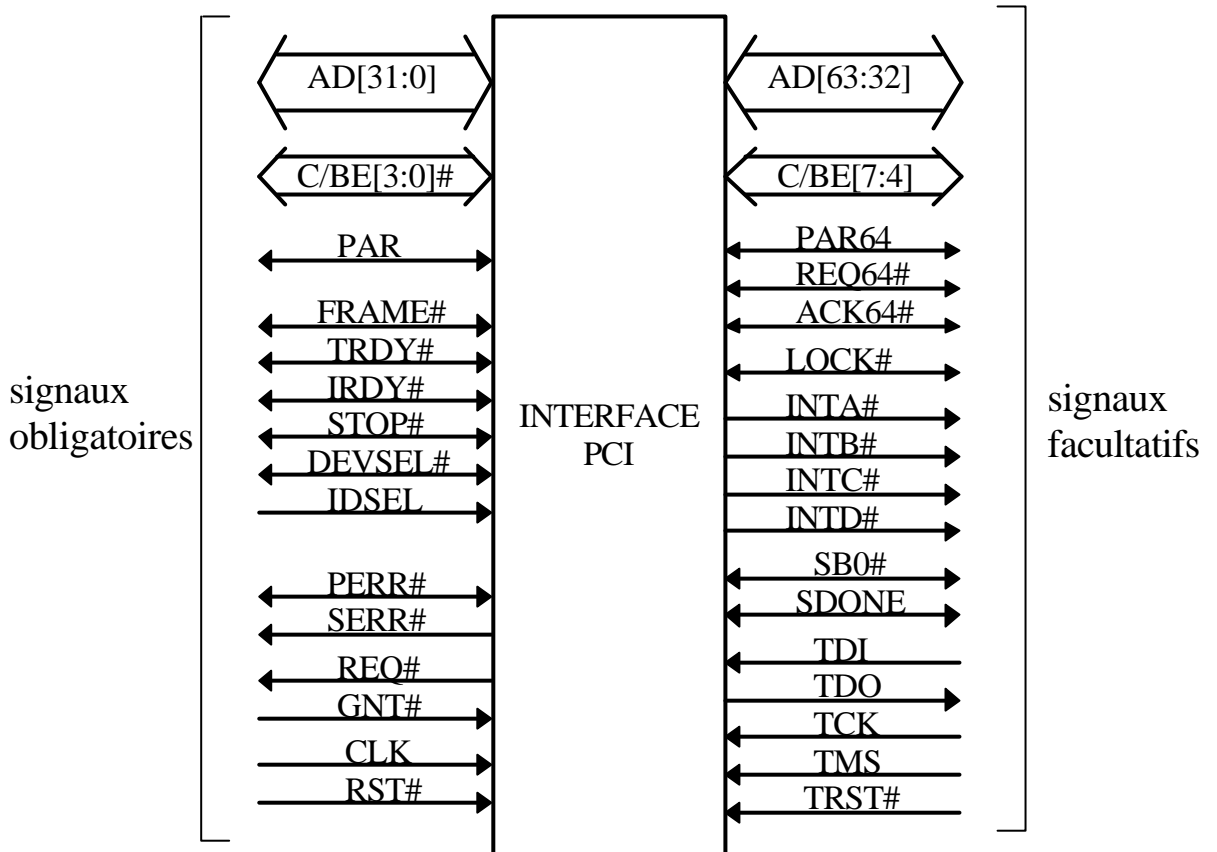


Architecture du bus PCI

Caractéristiques:

- **Débit élevé: de 132 Mo/s à 528 Mo/s**
 - ⇒ Largeur du bus de 32 bits à 64 bits
 - ⇒ Horloge de 33 MHz à 66 Mhz
 - ⇒ Transfert en mode rafale linéaire (BURST)
- **Technologie 3.3V et 5V**
- **Autoconfiguration**

LES SIGNAUX DU BUS PCI



- Bus d'adresse et de donnée multiplexés
- Interruptions
- Vérification de la validité des données
- Gestion de mémoire cache

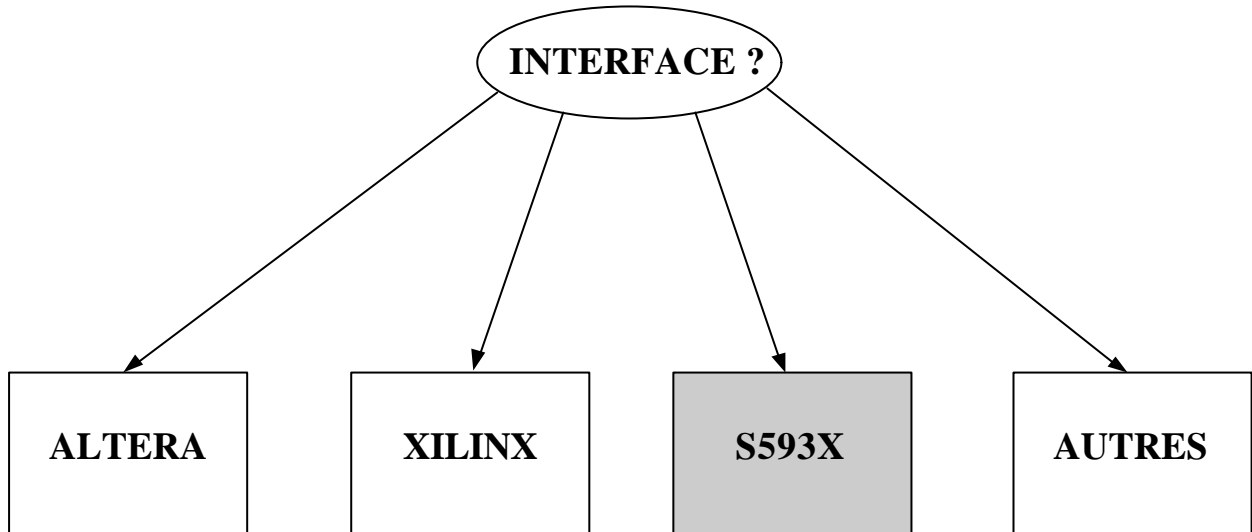
L'AUTOCONFIGURATION

31	16	15	0	
Device ID		Vendor ID		00h
Status		Command		04h
Class Code			Revision ID	08h
BIST	Header Type	Latency Timer	Cache Line Size	0Ch
6 Base Address Registers (BADR0 à BADR5)				10h
				14h
				18h
				1Ch
				20h
				24h
Reserved				28h
Reserved				2Ch
Expansion ROM Base Address				30h
Reserved				34h
Reserved				38h
Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line	3Ch

La zone de configuration

- **Identifications de la carte**
- **Réservation automatique des zones mémoires**
- **Temps de réponse**

CHOIX DE L'INTERFACE

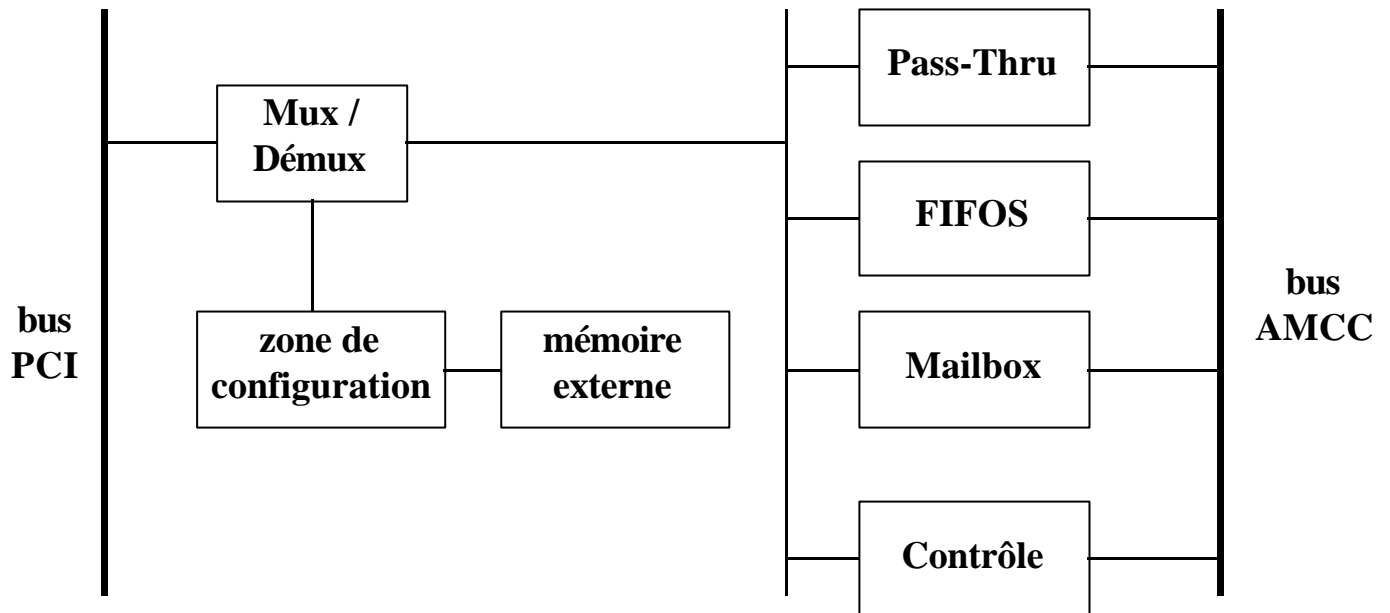


Deux possibilités:

- **Conception de l'interface**
 - ⇒ **Coût peu élevé**
 - ⇒ **Développement difficile**

- **Achat d'une interface**
 - ⇒ **Souplesse d'emploi**
 - ⇒ **Coût élevé**

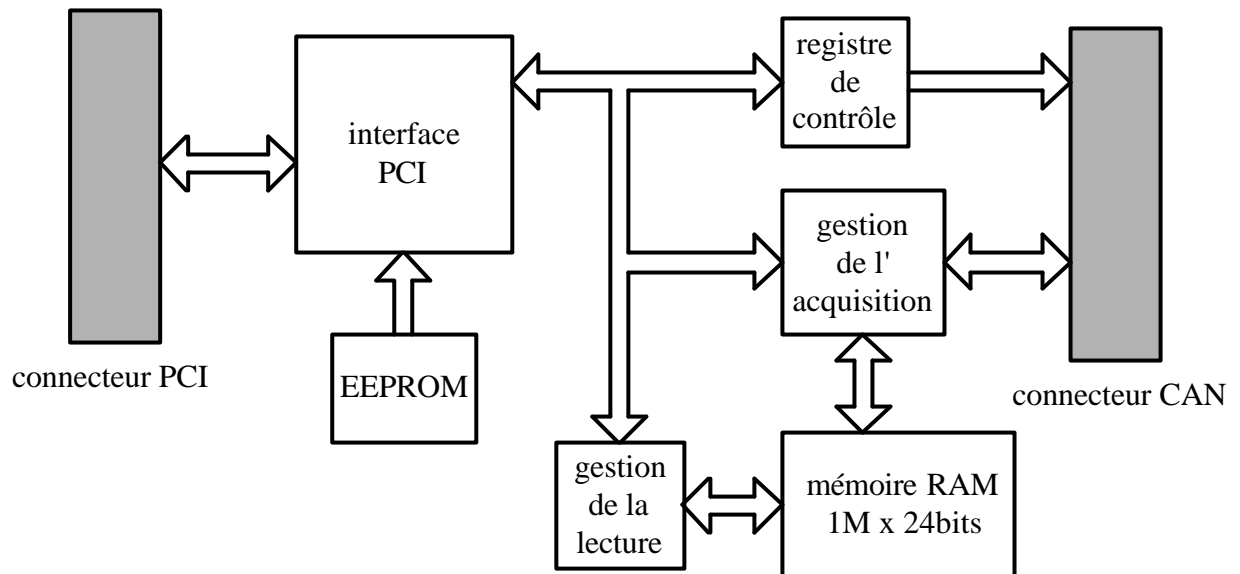
L'INTERFACE S5933



Caractéristiques

- **Transfert par registres:**
 - ⇒ **FIFOS**
 - ⇒ **Mailbox**
 - ⇒ **Pass-Thru**
- **Maître ou esclave**
- **Génération d'interruptions**
- **Configuration paramétrable**

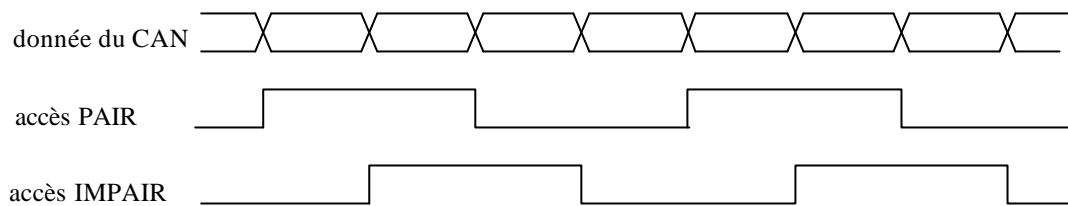
CONCEPTION DE LA CARTE



Synoptique de la carte d'acquisition

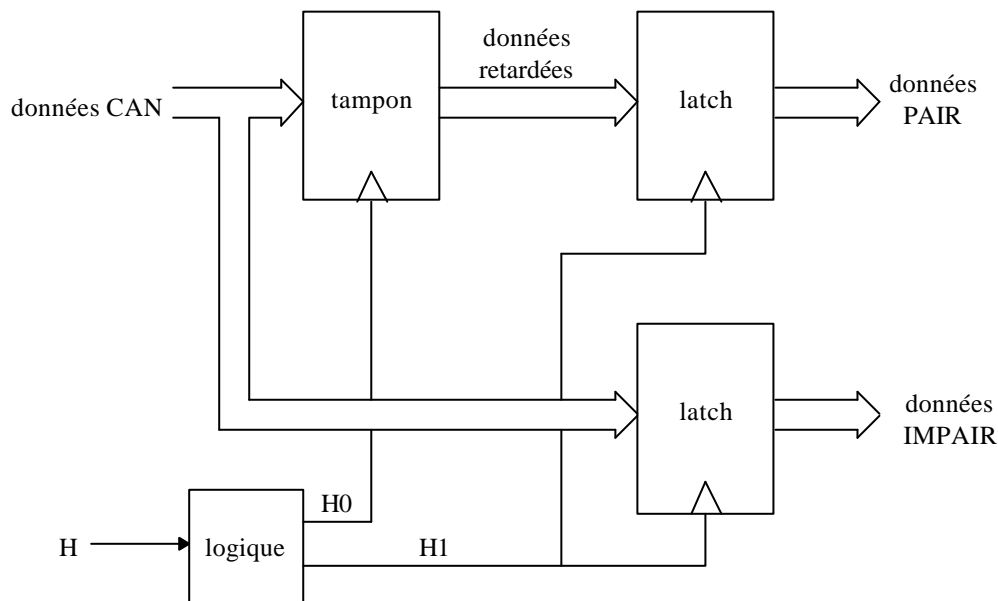
- **Deux modes de fonctionnement:**
 - ⇒ Acquisition
 - ⇒ Lecture des données
- **Interface PCI (S5933)**
- **Mémoire RAM 3Mo**
- **ALTERA (logique programmable)**
- **EEPROM**
- **Connecteurs PCI et CAN**

FONCTIONNEMENT DE LA MEMOIRE



Double accès en mémoire (ping pong)

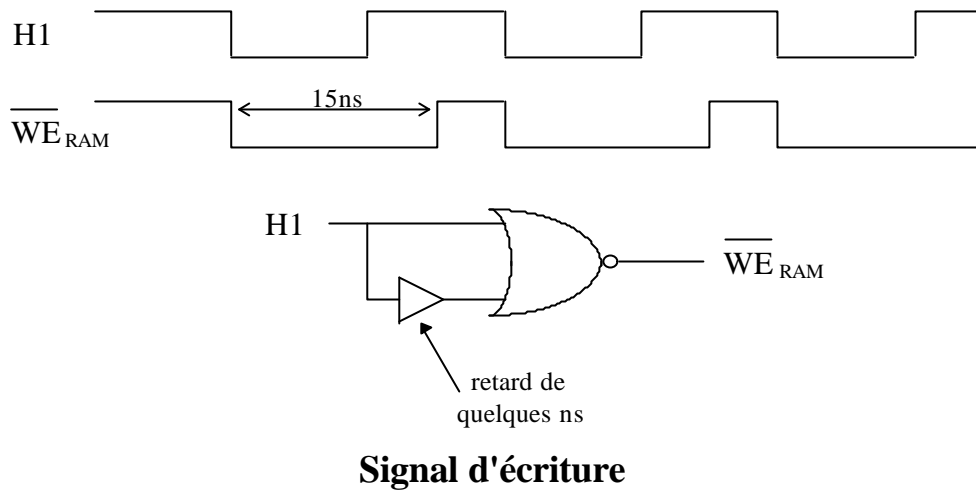
- **100 Mhz - 10ns de période**
- **Mémoire 15ns**
- **Accès simultané à deux adresses (paire et impaire)**
- **Deux bus d'adresse, de donnée et de contrôle**



Dédoublément du bus de donnée

- **Solution: retarder les données paires**
- **Un seul bus d'adresse et de contrôle**
- **Diminution du nombre de composants**

FONCTIONNEMENT DE LA MEMOIRE



- **Signal dissymétrique**
- **Nécessaire pour 100 MHz**

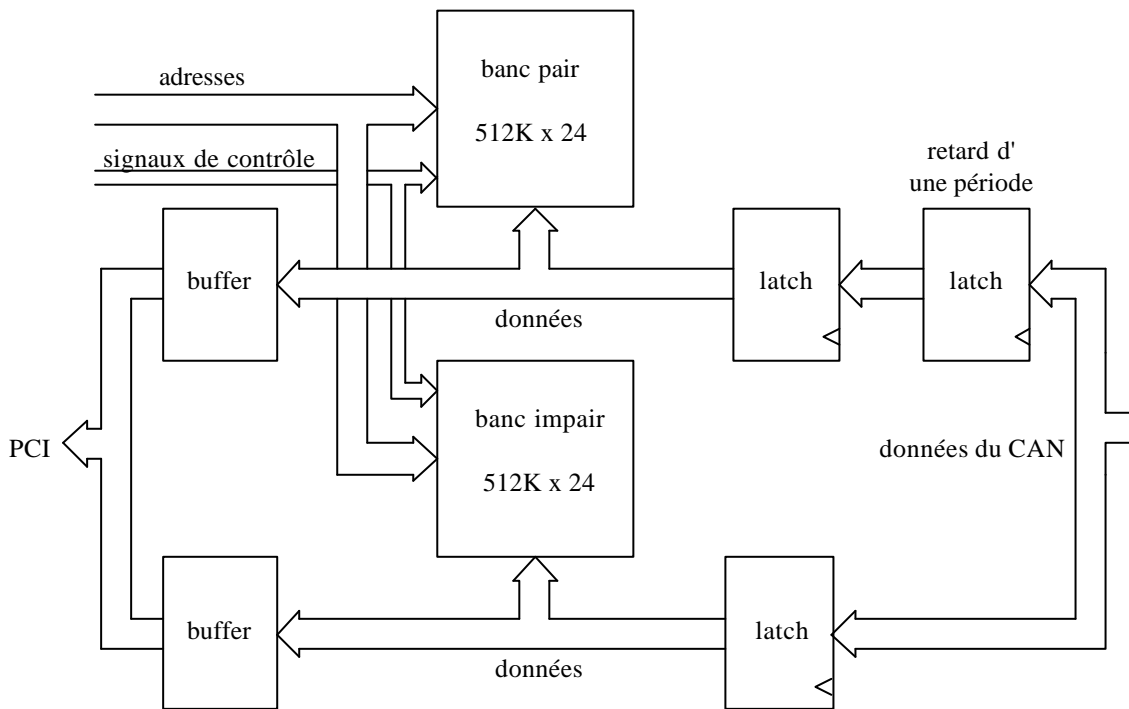


Schéma bloc de la RAM

- **1 Mega échantillons de 24 bits (3 Mo)**
- **24 boitiers de 128 Ko (15 ns)**
- **Accès en lecture et en écriture différents**

LES REGISTRES

Registre de contrôle

	0							7		29	30	31
adresse de	CE0	CE1	CE2	CE3	CE4	CE5	CE6	CE7	XXXXXXXXXX	ON/OFF	FRONT	X
base 1	W	W	W	W	W	W	W	W	XXXXXXXXXX	R/W	R/W	X

- **Bits de configuration CE(7:0) stockés dans un latch 74F374**
- **Bits ON/OFF et FRONT stockés dans un ALTERA**

Registre de chargement

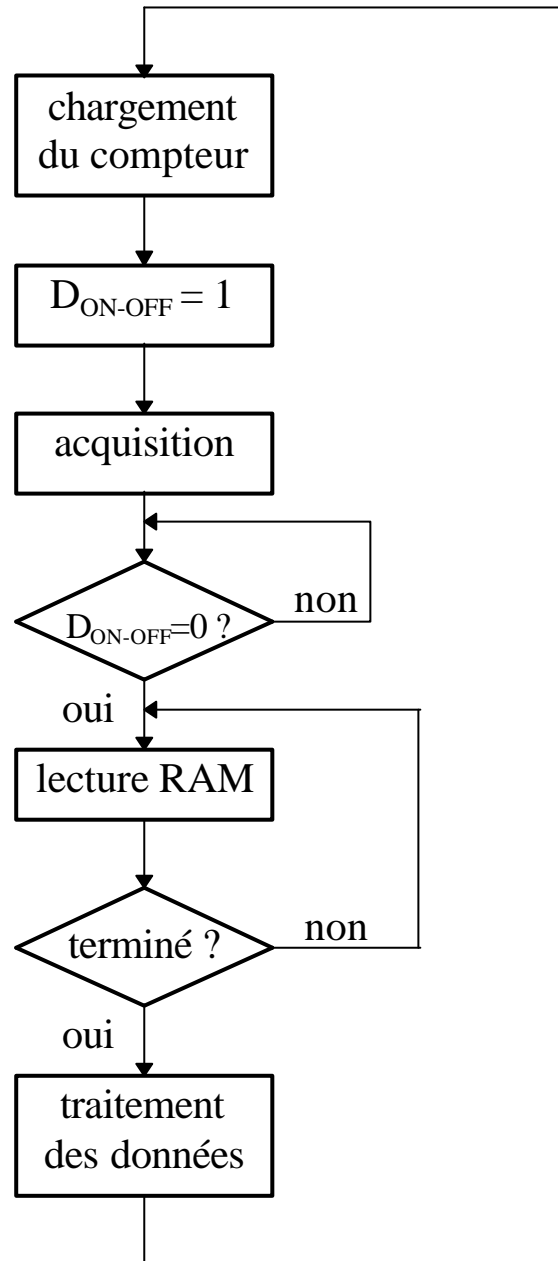
	0		1		18	19	20		31		
adresse de	C0	C1			C18	C19			XXXXXXXXXXXXXXXXXX		
base 2	W	W			W	W			XXXXXXXXXXXXXXXXXX		

- **Adresse générée par un compteur**
- **Chargement du registre = 1M - taille de l'acquisition**
- **Taille maximale de 1 Mega échantillons**

Registre de lecture:

- **Une seule adresse pour lire toute la mémoire**

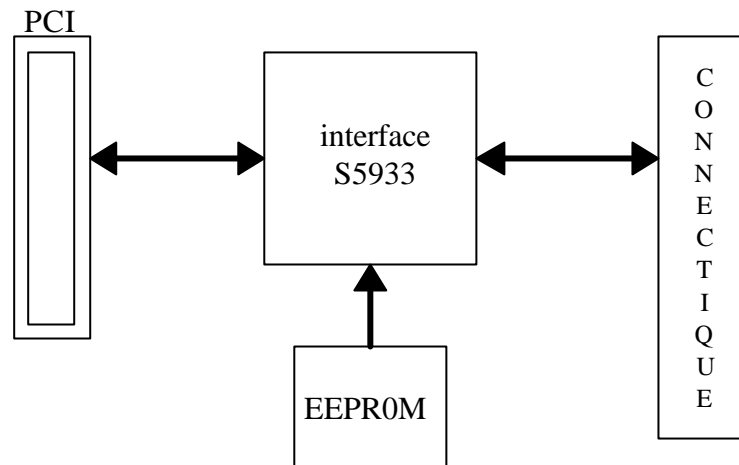
MISE EN OEUVRE DE L'ACQUISITION



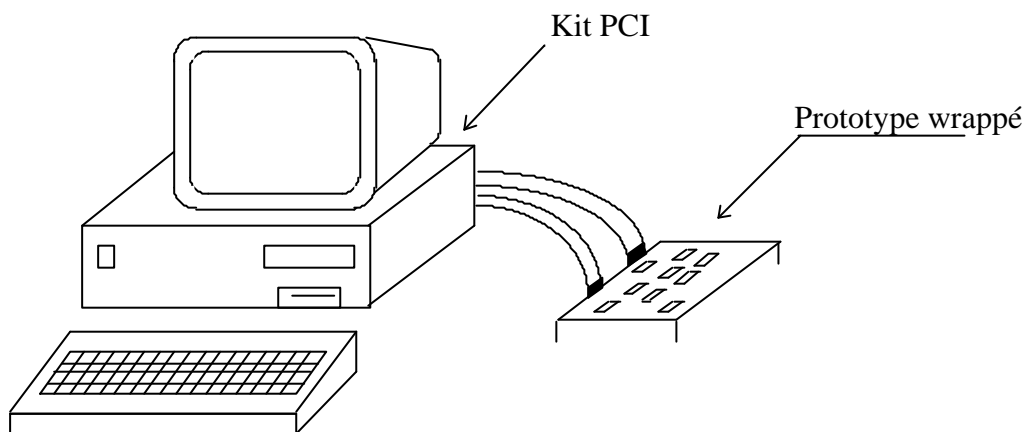
Organigramme de l'acquisition

- **Simplicité d'utilisation: pas de microprocesseur**

LE KIT PCI



Synoptique du kit PCI



Connexion du prototype au kit PCI

- **Société AMCC (S5933)**
- **Livré avec programmes pour PC**
- **Connectique pour le développement d'applications**
- **Prototype wrapped**
- **Tests fonctionnels du prototype**
- **Problème des câbles en nappe**

ROUTAGE DE LA CARTE

- **Routage terminé**
- **Routage manuel**
- **8 couches en classe 4**

LES LOGICIELS

PC:

- **BIOS (Basic Input Output System)**
- **Interruption INT 1Ah (registres AH et AL)**
- **Interface logicielle programmée en C**

Utilitaires:

- **DEBUG.EXE sous DOS**
- **Programmes du kit**
- **Windows 95**

POWER MAC:

- **Fonctions en C fournis par APPLE**
- **Requiert une connaissance approfondie du système**

Utilitaires:

- **PciSlots**
- **DisplayNameRegistry**

**⇒ Compatibilité de la carte sur PC et POWER
MAC**

CONCLUSION

- **Tous les objectifs ont été atteints:**
 - ⇒ **Choix de l'interface**
 - ⇒ **Conception de la carte**
 - ⇒ **Réalisation et test d'un prototype wrappé**
 - ⇒ **Tests sur PC et POWER MAC**
 - ⇒ **Routage de la carte**
- **Utilisation sur PC plus conviviale**
- **Suite du projet: montage et test de la carte**
- **Projet très intéressant sur le plan personnel et professionnel**